



2800

0280
04000500
#2
BT

PATENT

Docket No.: 8733.517.00

4-12-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

2811

In Re Application of:

Seung Kyu CHOI et al.

Group Art Unit: TBA

Application No.: 10/028,304

Examiner: TBA

Filing Date: December 28, 2001

For: THIN FILM TRANSISTOR SUBSTRATE AND FABRICATING METHOD THEREOF

RECEIVED
JAN 22 2002
TC 2800 MAIL ROOMREQUEST FOR PRIORITYCommissioner of Patents
Washington, D.C. 20231

Sir:

- ☐ Full benefit of the filing date of U.S. Application No. [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 120.
- ☐ Full benefit of the filing date of U.S. Provisional Application No., [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. § 119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the Applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Certified KOREA	P2000	December 29, 2000

☒ Are submitting corresponding Convention Application(s)

☐ Will be submitted prior to payment of the Final Fee.

☐ Were filed in prior Application of the Final Fee.

☐ Were submitted to the International Bureau in a timely manner in PCT Application No. [*]. Receipt of the certificate of transmittal under PCT Rule 17.1(a) has been acknowledged as evidenced by the receipt of the International Bureau in a timely manner in PCT Application No. [*].

☐ (A) Application No.(s) [*] were filed in prior application No. [*] filed [*]; and

(B) Application No.(s)

☐ Are submitted herewith.

☐ Will be submitted prior to payment of the Final Fee.

Respectfully submitted,

LONG ALDRIDGE & NORMAN, LLP

By John M. Kelly
John M. Kelly
Registration No. 39,920

Date: January 8, 2002

701 Pennsylvania Avenue, N.W.
10th Floor, Suite 600
Washington, D.C. 20004
Phone No.: (202) 624-1200
Fax No.: (202) 624-1298

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

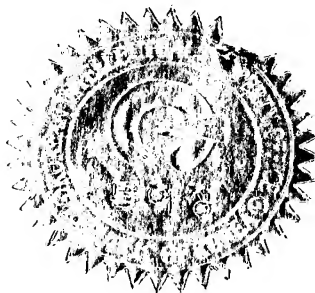
This is to certify that the following application annexed here
is a true copy from the records of the Korean Intellectual
Property Office.

RECEIVED
FEB 22 2002
TC800 MAIL ROOM

출원번호 : 특허출원 2000년 제 85362 호
Application Number

출원년월일 : 2000년 12월 29일
Date of Application

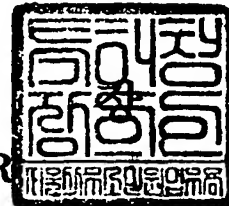
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2001 년 04 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.12.29
【발명의 명칭】	박막트랜지스터 및 그 제조방법
【발명의 영문명칭】	Thin Film Transistor and Fabricating Method Thereof
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	최승규
【성명의 영문표기】	CHOI, Seong-Kyu
【주민등록번호】	720106-1388210
【우편번호】	702-270
【주소】	대구광역시 북구 매천동 삼우그린아파트 515호
【국적】	KR
【발명자】	
【성명의 국문표기】	소재문
【성명의 영문표기】	SO, Jae-Mum
【주민등록번호】	710326-1802811
【우편번호】	730-350
【주소】	경상북도 구미시 임수동 401-3 LG LCD 기숙사 B/504
【국적】	KR
【발명자】	
【성명의 국문표기】	김종우
【성명의 영문표기】	KIM, Jong-Woo
【주민등록번호】	650702-1460411

1020000085362

2001/4/

【우편번호】 730-011
【주소】 경상북도 구미시 원평1동 삼우 궁전아파트 1404호
【국적】 KR
【취지】 ~ 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 41 면 41,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 70,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 박막트랜지스터 및 그 제조방법에 관한 것이다.

본 발명에 따른 박막트랜지스터는 중간부가 상부보다 좁도록 투명기관 상에 형성된 목부형 게이트전극과, 상기 투명기관 상에 상기 게이트전극을 덮도록 형성된 게이트절연막과, 상기 게이트전극과 중첩되도록 상기 게이트절연막 상에 형성되는 반도체층과, 채널을 사이에 두고 상기 반도체층 상에 형성되는 소스전극 및 드레인전극과, 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과, 상기 드레인전극이 노출되도록 상기 보호층 상에 형성되는 콘택홀과, 상기 콘택홀을 경유하여 상기 드레인전극과 접촉하도록 상기 보호층 상에 형성되는 화소전극을 구비한다.

본 발명에 따른 박막트랜지스터의 제조방법은 게이트전극을 러빙방향에 따라 경사지게 절단하여 제거되므로 화소영역이 넓어져 개구율을 높일 수 있다.

【대표도】

도 11

【명세서】**【발명의 명칭】**

박막트랜지스터 및 그 제조방법{Thin Film Transistor and Fabricating Method Thereof}

【도면의 간단한 설명】

도 1은 종래의 5마스크로 형성되는 박막트랜지스터를 나타내는 평면도.

도 2는 도 1에서 선 A-A'를 따라 절취하여 나타내는 박막트랜지스터의 단면도.

도 3은 종래의 하프턴 마스크를 사용하여 4 마스크로 형성되는 박막트랜지스터를 나타내는 평면도.

도 4a 내지 도 4d는 도 3에 도시된 박막트랜지스터의 제조공정을 단계적으로 설명하는 단면도.

도 5a 내지 도 5c는 하프턴 마스크의 개략적인 단면도와 그에 따른 투광특성과 노광상태를 나타내는 단면도.

도 6a 내지 도 6c는 하프턴 마스크를 사용한 제 3마스크공정을 나타내는 단면도.

도 7은 종래의 회절 패턴용 마스크를 사용하여 4 마스크로 형성되는 박막트랜지스터를 나타내는 평면도.

도 8a 내지 도 8d는 도 5에 도시된 박막트랜지스터의 제조공정을 단계적으로 설명하는 단면도.

도 9a 내지 도 9c는 회절 패턴용 마스크의 개략적인 단면도와 그에 따른 투광특성과 노광상태를 나타내는 단면도.

도 10a 내지 도 10c는 회절 패턴용 마스크를 사용한 제 2마스크공정을 나타내는 단면도.

도 11은 본 발명의 제 1실시예에 따른 박막트랜지스터를 나타내는 평면도.

도 12a 내지 12e는 도 11에 도시된 박막트랜지스터의 제조방법을 나타내는 단면도.

도 13은 본 발명의 제 2실시예에 따른 박막트랜지스터를 나타내는 평면도.

도 14a 내지 도 14d는 도 13에 도시된 박막트랜지스터의 제조방법을 나타내는 단면도.

도 15는 본 발명의 제 3실시예에 따른 박막트랜지스터를 나타내는 평면도.

도 16a 내지 도 16d는 도 15에 도시된 박막트랜지스터의 제조방법을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 간단한설명>

11,31,51,71,91,111 : 투명기판 13,33,53,73,93,113 : 게이트 전극

14,34,54,74,94,114 : 게이트라인 15,35,55,75,95,115 : 게이트 절연막

16,36,56,76,96,116 : 데이터라인 17,39,59,79,99,119 : 활성층

19,79 : 오믹접촉층 21,41,61,81,101,121 : 소스 전극

22,42,62,102 : 스토리지전극 23,43,63,83,103,123 : 드레인전극

25,85 : 포토레지스트 패턴

27,47,67,87,107,127 : 보호층

28,48,68,108,128 : 콘택홀

29,49,69,89,109,129 : 화소전극

38,58,108,128 : 게이트패드

40,60,100,120 : 데이터패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <26> 본 발명은 박막트랜지스터 및 그 제조방법에 관한 것으로, 특히, 개구율을 높힐 수 있는 박막트랜지스터 및 그 제조방법에 관한 것이다.
- <27> 액정표시장치는 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소스 및 드레인 전극을 포함하는 박막트랜지스터(Thin Film Transistor;이하 'TFT'라 함)가 형성된 하판과 칼라필터가 형성된 상판 사이에 주입된 액정으로 이루어진다.
- <28> 도 1을 참조하면, TFT는 데이터라인(16)과 게이트라인(14)의 교차부에 형성되며 액정셀을 구동하는 화소전극(29)과 접속된다. 데이터라인(16)은 TFT 반도체층의 소스영역과 접속되고 드레인전극(23)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(14)은 돌출된 게이트전극(13)을 가진다. 화소전극(29)은 게이트라인(14)과 데이터라인(16)에 의해 분할된 셀영역에 형성되고 콘택홀(28)에 의해 드레인전극(23)과 접속된다.
- <29> 도 2a 내지 도 2e는 도 1에 도시된 박막트랜지스터를 제조방법을 나타내는 평면도 및 단면도이다.
- <30> 도 2a를 참조하면, 투명기관(11) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄

늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(11)상에 게이트전극(13)과 게이트라인(14)을 형성한다.

<31> 이 때, 게이트라인 중 화소영역을 정의하는 게이트라인의 일부는 스토리지 전극(22)으로 사용된다.

<32> 도 2b를 참조하면, 투명기판(11)상에 게이트라인(14) 및 게이트전극(13)을 덮도록 게이트절연막(15), 활성층(17) 및 오믹접촉층(19)을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.

<33> 상기에서 게이트절연막(15)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(17)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(19)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

<34> 오믹접촉층(19) 및 활성층(17)을 게이트전극(13)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리소그래피방법으로 게이트절연막(15)이 노출되도록 패터닝한다.

<35> 도 2c를 참조하면, 게이트절연막(15) 상에 오믹접촉층(19)을 덮도록 CVD방법 또는 스퍼터링방법으로 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 증착하여 금속박막을 형성한다. 상기에서 오믹접촉층과 금속박막은 오믹접촉을 이룬다. 또한 스토리지 캐패시터영역의 상부와 게이트절연막상의 일부가 겹치게 스토리지 전극(22)을 형성한다.

- <36> 그리고, 금속박막상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(13)의 양측과 대응하는 부분에 포토레지스트 패턴(25)을 형성한다. 포토레지스트 패턴(25)은 마스크로 사용하여 금속박막을 오믹접촉층(19)이 노출되도록 습식식각하여 소스 및 드레인전극(21)(23)을 형성한다. 그리고, 포토레지스트 패턴(25)을 마스크로 사용하여 노출된 오믹접촉층(19)을 활성층(17)이 노출되도록 건식 식각한다. 이 때, 식각되지 않고 잔류하는 오믹접촉층(19) 사이의 게이트전극(13)과 대응하는 부분의 활성층(17)은 채널이 된다.
- <37> 도 2d를 참조하면, 포토레지스트 패턴(25)을 제거한다. 그리고, 게이트절연층(15) 위에 스토리지 전극(22), 소스 및 드레인전극(21)(23)을 덮도록 보호층(27)을 형성한다. 상기에서 보호층(27)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물로 형성된다. 보호층(27)을 포토리쓰그래피방법으로 패터닝하여 드레인전극(23) 및 스토리지전극(22)을 노출시키는 제 1 및 제 2콘택홀(28a, 28b)을 형성한다.
- <38> 도 2e를 참고하면, 보호층(27)상에 인듐-옥사이드(Indium-Tin-Oxide ; 이하'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide ; 이하'IZO'라 함), 인듐-틴-아연-옥사이드(Indium-Tin-Zinc-Oxide ; 이하'ITZO'라 함)등의 투명한 도전성물질을 제 1 및 제 2콘택홀(28a, 28b)을 통해 증착하여 화소전극(29)을 형성한다.
- <39> 화소전극(29)은 제 2콘택홀(28b)을 통해 스토리지 전극(22)과 접촉되며, 드레인전극(23)과 제 1콘택홀(28b)을 통해 전기적으로 접촉한다.
- <40> 그러나, 5마스크공정에서 게이트전극을 알루미늄으로 사용할 경우에는 알루미늄 표

면에 생길 수 있는 힐락의 문제를 해결하기 위해 적어도 2개의 마스크가 더 필요하다. 따라서, 박막트랜지스터 기판을 구성하기 위해 적어도 5 내지 6번의 마스크 공정이 필요하다.

<41> 결국 각 마스크 공정 중 사용되는 원료의 소비와 공정시간은 액정표시장치를 제작하는데 높은 제작비와 더불어 수율을 감소시키는 문제로 대두되고 있어 이러한 문제점을 해결하기 위해 4 마스크공정이 제시되고 있다.

<42> 도 3은 하프턴마스크를 사용한 4 마스크공정을 나타내는 도면이다.

<43> 도 3을 참고하면, TFT의 투명기판(31)은 일 방향으로 연장된 게이트라인(34)과 게이트라인(34)의 가장자리에 형성된 게이트패드(38)로 형성된다. 게이트라인(34)과 수직인 방향으로 데이터라인(36)이 연장되어 형성되며, 데이터라인(36)의 가장자리에는 데이터패드(40)가 형성된다. 또한 데이터라인(36)에서 소정길이를 연장된 소스전극(41)이 형성되며, 소스전극(41)과 소정 간격으로 이격되게 드레인전극(43)이 형성된다. 게이트라인(34)상에는 게이트전극(33)이 형성되며, 게이트전극(33)과 소스 및 드레인전극(41, 43)으로 TFT가 형성된다. 그리고, 드레인전극(43)의 측면과 접촉하는 화소전극(49)이 형성된다.

<44> 활성층을 구성한 후, 보호층을 적층하고 하프턴 마스크를 사용하여 패터닝함으로써, 보호층과 활성층을 동시 식각하는 공정 중, 상기 박막트랜지스터는 상부와 스토리지 캐패시터 상부의 일부에 보호층을 남겨두어 이들을 보호하는 구조가 가능하다.

<45> 도 4a 및 도 4d는 도 3에 도시된 박막트랜지스터의 제조방법을 나타내는 도면이다.

<46> 도 4a를 참조하면, 투명기판상에 게이트전극(33)을 게이트라인(34)에서 돌출 연장

하여 구성하였으나, 게이트라인(34)의 일부에 게이트전극(33)이 정의된 형태로 구성할 수도 있다. 이 때, 게이트라인(34)의 일부는 스토리지 전극(42)의 기능을 한다. 게이트라인(34)내지 게이트전극(33)의 형성에 사용되는 금속은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오듐/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(34)층으로 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(34)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.

<47> 도 4b를 참조하면, 데이터라인(36)과 스토리지 전극(42)을 형성하는 제 2마스크공정으로서, 게이트라인(34) 등이 형성된 기판(31)의 전면에 게이트 절연막(35)과 반도체층(39)과 소스 및 드레인 금속층을 연속으로 증착한 후, 제 2마스크로 패터닝하여, 일 끝단에 데이터패드(40)가 형성된 데이터라인(36)과, 데이터라인(36)에서 게이트전극상부로 돌출연장된 소스전극(41)과 이와는 소정간격으로 이격된 드레인전극(43)과 활성층의 상부에 스토리지 전극(42)을 형성한다. 이후, 소스/드레인 금속층을 마스크로 하여 반도체층(39)의 일부분을 식각한다. 상기 반도체층(39)은 순수 반도체층과 불순물 반도체층의 적층으로 구성된 형태이다.

<48> 따라서, 패터닝된 소스/드레인 금속층의 하부를 제외한 부분의 불순물 반도체층은 누설전류를 줄이는 목적으로 식각한다.

<49> 도 4c를 참조하면, 보호막(47)을 패터닝하기 위해 제 3마스크로 패터닝하는 공정으로 제 3마스크는 반투과막을 사용하는 하프턴 마스크이다. 하프턴 마스크는 입사광을

차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.

<50> 보호막(47)은 데이터라인(36)의 폭보다 약간 작은폭으로 패터닝되며, 데이터라인(36)과 소스 및 드레인전극(41,43)의 일부분에 증착한다.

<51> 또한, 스토리지 전극(42)의 일부분이 노출되게 스토리지 전극(42)의 상부 보호막(47)에는 스토리지 콘택홀(48a)과, 게이트패드(38)상부에는 게이트패드(38)의 일부가 노출되도록 게이트패드 콘택홀(48b)과, 데이터패드(40)의 일부가 노출되도록 데이터패드 콘택홀(48c)이 형성된다.

<52> 드레인전극(43)의 일측의 측면과 상부 일부는 보호막(47)이 식각되어 노출되며, 이 때 드레인전극(43) 하부의 활성층(39)이 동시에 식각되어, 단면적으로 드레인전극(43)과 활성층(39)이 수직구조로 형성된다.

<53> 이와 같이, 보호층(47)과 활성층(39)이 동시에 식각되는 구조에서 데이터라인(36) 하부의 활성층(39)은 데이터라인(36)이 크롬(Cr)과 같은 내건식성을 가지는 물질로 형성되므로, 상기 데이터라인(36)하부의 활성층(39)의 패턴 사이즈는 데이터라인(36)의 크기와 동일한 크기로 식각된다. 이 때, 게이트패드 콘택홀(48b)을 형성하는 과정에서 게이트패드(34)의 제 2층인 몰리브덴(Mo)층이 식각되어, 게이트패드 콘택홀(48b)을 통해 몰리브덴층은 측면만이 노출된다.

<54> 식각된 게이트패드 콘택홀(48b)을 통해 투명전극을 알루미늄계 금속과 접촉한다면, 산화금속인 투명전극과 알루미늄계 금속과의 계면에 산화막이 형성되어 게이트패드(38)의 저항값이 매우 높아진다.

- <55> 따라서, 투명전극인 게이트패드(38)단자와 게이트패드콘택홀(48b)을 통해 측면이 노출된 폴리브덴층과 접촉면적을 더욱 확보하기 위해, 게이트패드 콘택홀(48b)을 다수개 형성하면 투명전극과 게이트패드(38)와의 접촉저항이 감소하는 효과를 얻을 수 있다.
- <56> 제 3마스크공정에서는 보호막(47)이 패터닝된 부분을 제외한 전 영역(즉, 보호막 하부를 제외한 전 영역)에 위치한 반도체층(39)을 식각한다. 이 때, 게이트라인(34)과 게이트패드(38)의 제 1금속층은 게이트절연막(35)에 의해 보호한다.
- <57> 도 4d를 참고하면, 제 3마스크공정으로 보호층(47)이 패터닝된 기판의 전면에 ITO, IZO, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(49)을 형성한다. 이 때, 화소전극(49)은 드레인전극(43)의 노출부에 의해 측면 접촉되는 동시에 스토리지 제 2전극(42b)의 상부로 연장되어 스토리지 콘택홀(48a)을 통해 스토리지 제 2전극(42b)과 접촉한다.
- <58> 화소전극(49)을 형성하는 동시에, 게이트패드 콘택홀(48b)을 통해 게이트패드(38)와 측면 접촉하는 게이트패드단자를 형성하고, 데이터패드 콘택홀(48c)을 통해 데이터패드(40)와 접촉하는 데이터패드단자를 형성한다.
- <59> 도 5a 내지 도 5c는 도 4c에 도시된 제 3마스크인 하프턴 마스크를 나타내는 도면이다.
- <60> 도 5a를 참고하면, 반투과막을 사용하는 하프턴마스크는 입사광을 차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.
- <61> 이 때, 반투과부는 폴리실리사이드(MoSi)를 증착하여 형성하며 폴리실리사이드

(MoSi)막은 입사광에 대한 약 35%의 투과율특성을 나타내는 물질로서 잔류 포토레지스트의 두께를 제어하기 위해서는 노광시간에 차이를 주면된다. 차단부는 일반적으로 크롬(Cr)과 같은 반사율이 낮은 불투명한 금속을 사용하여 구성한다.

<62> 도 5b 및 도 5c를 참고하면, 크롬에 의해 빛이 차단되는 차단부는 빛의 투과율이 0%이기 때문에 기판상에 도포된 포토레지스트의 노광률이 0%이다. 반면에 오픈부는 빛의 투과율이 100%에 가까우므로 오픈부의 하부에 구성된 포토레지스트는 100%노광되어 현상액에 현상되어 그 하부층을 노출한다. 반투과부는 빛의 투과율이 약 35%만큼 이루어지므로 포토레지스트 일부 높이만이 노광되어 현상된다.

<63> 이와 같은 노광특성을 가지는 하프턴 마스크는 동일한 공정시간동안 서로 다르게 적층된 층을 동시에 적절하게 식각하기 위해서이다.

<64> 하프턴 마스크공정인 보호층을 패터닝하는 공정에서는 화소영역과 게이트라인의 상부에 절연막(35)을 남기기 위해 화소전극이 형성되는 화소와 게이트라인의 상부에 구성된 보호층/활성층(47,35)의 두층을 식각해야 하고, 드레인전극의 측면과 연장하여 수직하게 보호층/활성층/게이트절연막(47,39,35)을 식각해야 한다.

<65> 도 6a 내지 도 6c는 하프턴 마스크를 사용하여 보호층을 패터닝하는 제 3마스크공정을 상세히 설명하는 도면이다.

<66> 도 6a를 참조하면, 보호층(47)을 형성하고, 보호층(47)상부에 포토레지스트를 도포한다. 이 때, 어레이기판중 화소영역과 게이트패드(38)와 스토리지 캐패시터를 제외한 게이트라인(34)의 상부에는 게이트절연막/활성층/보호층(35,39,47)이 적층된 구조이고, 스토리지전극상부와 박막트랜지스터상부와 데이터패드(40)와 데이터라인(36)의 상부에는

보호층(47)이 형성된다.

<67> 이 때, 게이트패드상부의 게이트절연막/활성층/보호막(35,39,47)을 식각하여 도시되지 않은 게이트패드 콘택홀(48b)을 형성하는 동안 드레인전극(43)상부의 보호막과 측면의 보호막/활성층(47,39)을 식각하여 화소전극과의 측면콘택홀을 형성하고, 동시에 화소영역의 보호층/활성층(47,39)을 식각해야 하며, 동시에 데이터패드상부의 보호층(47)을 식각하여 도시되지 않은 데이터패드 콘택홀을 형성해야 한다.

<68> 이 때, 하프턴 마스크 중 차단부는 TFT상부와 스토리지 콘택홀이 형성되는 부분을 제외한 스토리지 전극의 상부에 위치하고, 반투과부는 데이터라인일측의 위치에서 화소영역으로 연장된 부분과 드레인전극(43)의 일측 상부와 각 콘택홀부분을 제외한 게이트패드를 포함한 게이트라인(34)과 데이터패드(40)상부에 위치하고, 하프턴 마스크의 투과부는 각 콘택홀이 구성되는 부분의 상부에 위치하도록 한다.

<69> 이와 같은 상태로 하부기판을 노광하고 현상하게 되면 차단부하부의 포토레지스트의 높이와 반투과부 하부의 포토레지스트의 높이는 서로 다르게 구성되며, 투과부 하부의 포토레지스트는 완전히 제거된다.

<70> 이 때, 포토레지스트의 현상 후, 포토마스크의 차단부 하부에 위치한 포토레지스트의 두께가 $3\mu\text{m}$ 일 때, 반투과부의 하부에는 $800\sim 900\text{\AA}$ 의 두께로 잔류 포토레지스트가 남도록 노광시간을 제어한다.

<71> 이와 같은 상태로 하부기판상에 형성된 구성층을 건식식각하게 되면 포토레지스트사이로 노출된 게이트패드상부의 보호층/활성층/게이트절연막(47,39,35)이 식각될 동안 스토리지 전극 상부와 데이터패드상부의 보호막(47)이 식각된다.

- <72> 동시에 화소영역상부와 드레인전극(43)의 측면과 스토리지 캐패시터를 제외한 게이트라인(34) 상부에 적층된 잔류 포토레지스트막/보호층/활성층(47,39,35)이 식각된다.
- <73> 도 6c를 참조하면, 데이터패드와 스토리지 전극은 크롬과 같은 내전식성이 강한 성분의 도전성금속을 사용하므로, 다층구조가 식각되는 동안 차단막 역할을 하게 된다.
- <74> 도 7는 회절 패턴용 마스크를 사용하는 4마스크공정을 나타내는 도면이다.
- <75> 도 7를 참조하면, 투명기판(51)에 일 방향으로 연장된 게이트라인과 게이트라인(54)의 가장자리에 형성된 게이트패드(58)로 형성된다. 게이트라인(54)과 수직한 방향으로 데이터라인(56)이 연장되어 형성되며, 데이터라인(56)의 가장자리에는 데이터패드(60)가 형성된다. 또한 데이터라인(56)에서 소정길이를 연장된 소스전극(61)이 형성되며, 소스전극(61)과 소정 간격으로 이격되게 드레인전극(63)이 형성된다. 게이트라인(54)상에는 게이트전극(53)이 형성되며, 게이트전극(53)과 소스 및 드레인전극(61,63)으로 TFT가 형성된다. 그리고, 드레인전극(63)의 측면과 접촉하는 화소전극(69)이 형성된다.
- <76> 게이트전극(53)을 구성한 후, 게이트절연막(55)과 반도체층(59)을 적층하고 회절용 패턴 마스크를 사용하여 패터닝함으로써, 소스/드레인금속(57)과 활성층(59)을 동시에 식각한다.
- <77> 도 8a 및 도 8d 도 7에 도시된 박막트랜지스터의 제조방법을 나타내는 도면이다.
- <78> 도 8a를 참조하면, 투명기판상에 게이트전극(53)을 게이트라인(54)에서 돌출 연장하여 구성하였으나, 게이트라인(54)의 일부에 게이트전극(53)이 정의된 형태로 구성할 수도 있다. 게이트라인(54)내지 게이트전극(53)의 형성에 사용되는 제 1금속(62a)은 일

반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오뎴/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(54)층으로 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(54)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.

<79> 도 8b를 참조하면, 게이트라인(54) 등이 형성된 기판(51)의 전면에 게이트 절연막(55), 반도체 물질인(a-Si)과 불순물이 함유된 비정질 실리콘(n+Si)이 증착된 반도체층(59)과, 소스/드레인금속층을 연속으로 증착한 후, 제 2마스크인 회절용 패턴으로 패턴닝하여, 게이트라인(54)상에 활성층과 소스/드레인 금속층을 식각하여 스토리지전극(62)을 패턴하고, TFT의 활성층과 소스/드레인금속층의 일부분을 식각하여 채널영역에 소스/드레인 금속을 제거함으로써 소스/드레인전극(61,63)을 패턴한다.

<80> 이와 같이, 활성층과 소스/드레인금속층이 동시에 식각되는 과정에서 데이터라인(56)의 활성층(59)은 데이터라인(56)이 크롬(Cr)과 같은 내 건식성을 가지는 물질로 형성되므로, 데이터라인(56) 하부 활성층(59)의 패턴사이즈는 데이터라인(56)의 크기와 동일한 크기로 식각된다.

<81> 여기서, 회절 패턴용 마스크의 포토리쏘리그래피공정은 포토레지스트를 도포한후 데이터라인(56)과 TFT채널영역은 회절 패턴용 마스크를 사용하여 노광 및 현상하여 포토레지스트패턴을 형성한다.

<82> TFT채널영역에 부분적으로 노광되는 포토레지스트는 RIE모드나 이방성 에칭모드로 포토레지스트의 에칭 백 과정(photo etch back)을 거쳐 제거되므로써 소스 및 드레인전

극(61,63)이 패터닝된다.

<83> 도 8c를 참조하면, 제 3마스크공정에서는 보호막(67)을 패터닝하여 콘택홀을 형성하는 공정이 추가되는데, 드레인전극(63)상부에 드레인콘택홀 및 스토리지 전극(62)상부에 스토리지 콘택홀(68a)과 데이터라인(56)의 끝단인 데이터패드(60)의 상부에 데이터패드콘택홀(68c)을 각각 형성한다.

<84> 데이터패드 콘택홀(68c)은 추후공정에서 생성될 투명도전막과 데이터라인(56)과의 접촉을 위함이고, 드레인콘택홀 및 스토리지 콘택홀(68a)은 추후에 형성되는 화소전극(69)과의 접촉을 위함이다.

<85> 도 8d를 참조하면, 제 3마스크공정으로 보호층(67)이 패터닝된 기판의 전면에는 IT₀, IZ₀, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(69)을 형성한다. 이 때, 화소전극(69)은 드레인전극(63)의 노출부에 의해 측면 접촉되는 동시에 스토리지 전극(62)의 상부로 연장되어 스토리지 콘택홀(68a)을 통해 스토리지 전극(62)과 접촉한다.

<86> 화소전극(69)을 형성하는 동시에, 게이트패드 콘택홀(68b)을 통해 게이트패드와 측면 접촉하는 게이트패드단자를 형성하고, 데이터패드 콘택홀(68c)을 통해 데이터패드와 접촉하는 데이터패드단자를 형성한다.

<87> 도 9a내지 도 9c는 도 8b에 도시된 회절 패턴용 마스크를 설명하는 도면이다.

<88> 도 9a를 참고하면, 제 2마스크공정에 사용되는 마스크인 회절 패턴용 마스크는 입사광을 차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와, 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.

- <89> 이 때, 반투과부는 석영(Quartz)상에 형성되는 크롬과 회절용 패턴사이의 빈공간에서 회절이 일어나서 투과영역이 형성되며 회절용 패턴의 길이와 회절패턴을 사이에 두고 형성되는 공간들의 길이는 같다. 차단부는 일반적으로 크롬과 같은 반사율이 낮은 불투명한 금속을 사용하여 구성한다.
- <90> 도 9b 내지 도 9c를 참조하면, 크롬에 의해 빛이 차단되는 차단부는 빛의 투과율이 0%이기 때문에 기판상에 도포된 포토레지스트의 노광률이 0%이다. 반면에 오픈부는 빛의 투과율이 100%에 가까우므로, 오픈부의 하부에 구성된 포토레지스트는 100%노광되어 현상액에 현상되어 그 하부층을 노출한다. 그리고, 반투과부는 빛의 투과율이 약 35%만큼 이루어지므로 포토레지스트의 일부 높이만이 노광되어 현상된다.
- <91> 이와 같은 노광특성을 가지는 회절패턴용 마스크는 동일한 공정시간동안 서로 다르게 적층된 층을 동시에 적절하게 식각하기 위해서이다.
- <92> 제 2마스크 공정인 활성층을 패터닝하는 공정에서는 화소영역과 게이트라인(54)의 상부에 절연막을 남기기 위해 화소전극이 형성되는 화소와 게이트라인(54)의 상부에 구성된 활성층/소스 및 드레인금속(59,57)의 두 층을 식각해야 하고, 드레인전극(63)의 측면과 연장하여 수직하게 활성층/소스 및 드레인금속(59,57)을 식각해야 하고, 동시에 게이트패드(58)의 상부의 일부 활성층/소스, 드레인금속(59,57)을 식각해야 한다.
- <93> 도 10a 내지 도 10c는 회절 패턴 마스크인 제 2마스크공정을 상세히 설명하는 도면이다.
- <94> 도 10a를 참고하면, 소스 및 드레인금속층(57)을 증착하고, 소스 및 드레인 금속(57)층 상부에 포토레지스트를 도포한다. 이 때, 어레이기판중 화소영역과 게이트패드

(58)와 스토리지 캐패시터를 제외한 게이트라인(54)의 상부에는 게이트절연막/반도체층/소스/드레인 금속층(55,59,57)이 적층된 구조이고, 제 2스토리지전극상부와 박막트랜지스터상부와 데이터패드와 데이터라인의 상부에는 소스 및 드레인금속층(57)이 형성된다.

<95> 이 때, 회절 패턴용 마스크 중 반투과부는 TFT채널영역에 위치하고, 하프턴 마스크의 오픈부는 데이터라인에 위치하도록 한다.

<96> 이와 같은 상태로 하부기판을 노광하고 현상하게 되면 차단부하부의 포토레지스트의 높이와 반투과부 하부의 포토레지스트의 높이는 서로 다르게 구성되며, 투과부 하부의 포토레지스트는 에치 백 과정(etch back process)을 거쳐 완전히 제거된다.

<97> 이 때, 포토레지스트의 현상 후, 포토마스크의 차단부 하부에 위치한 포토레지스트의 두께가 $3\mu\text{m}$ 일 때, 반투과부의 하부에는 $800\sim 900\text{\AA}$ 의 두께로 잔류 포토레지스트가 남도록 노광시간을 제어한다.

<98> 이와 같은 상태로 하부기판상에 형성된 구성층을 건식식각하게 되면 포토레지스트 사이로 노출된 게이트패드상부의 소스 드레인금속층/활성층이 식각될 동안 TFT채널영역에 소스 및 드레인 금속층이 부분식각된다.

<99> 도 10c를 참고하면, 데이터패드와 스토리지 제 2전극은 크롬과 같은 내건식성이 강한 성분의 도전성금속을 사용하므로, 다층구조가 식각되는 동안 차단막 역할을 하게 된다.

<100> 그러나, 종래의 게이트전극은 직사각형 형태로 형성되어 게이트전극과 드레인전극과의 중첩되는 면적과, 게이트전극과 소스전극과의 중첩되는 면적이 넓어 기생캐패시터

용량이 커지며 신호의 지연 및 왜곡이 발생하며 개구율이 제한되는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<101> 따라서, 본 발명의 목적은 화질을 개선하고 화소의 개구율을 증가시키는 박막트랜지스터 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<102> 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는 중간부가 상부보다 좁도록 투명기판 상에 형성된 목부형 게이트전극과, 상기 투명기판 상에 상기 게이트전극을 덮도록 형성된 게이트절연막과, 상기 게이트전극과 중첩되도록 상기 게이트절연막 상에 형성되는 반도체층과, 채널을 사이에 두고 상기 반도체층 상에 형성되는 소스전극 및 드레인전극과, 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 형성되는 보호층과, 상기 드레인전극이 노출되도록 상기 보호층 상에 형성되는 콘택홀과, 상기 콘택홀을 경유하여 상기 드레인전극과 접촉하도록 상기 보호층 상에 형성되는 화소전극을 구비한다.

<103> 상기 목적을 달성하기 위하여 본 발명에 따른 박막트랜지스터의 제조방법은 중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와, 상기 투명기판 상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트전극과 중첩되도록 상기 게이트절연막 상에 반도체층을 형성하는 단계와, 채널을 사이에 두고 상기 반도체층 상에 소스전극 및 드레인전극을 형성하는 단계와, 상기 게이트전극과 소

스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 보호층을 형성하는 단계와, 상기 드레인전극이 노출되도록 상기 보호층 상에 콘택홀을 형성하는 단계와, 상기 콘택홀을 경유하여 상기 드레인전극과 접촉하도록 상기 보호층 상에 화소전극을 형성하는 단계를 포함한다.

<104> 상기 목적을 달성하기 위하여 본 발명에 따른 박막트랜지스터의 제조방법은 중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와, 상기 투명기판 상에 상기 게이트전극을 덮도록 절연막재료와 반도체재료를 적층하고 상기 반도체층 상에 금속을 전면 증착하고 상기 금속을 패터닝하여 소스전극 및 드레인전극을 형성하는 단계와, 상기 소스전극 및 드레인전극을 덮도록 상기 반도체층 상에 보호층을 전면 형성하고 상기 반도체층과 보호층을 일괄 패터닝하여 상기 게이트절연막의 일부를 노출시킴과 동시에 드레인전극의 일부를 노출시키기 위한 콘택홀을 형성하는 단계와, 상기 콘택홀을 통하여 상기 드레인 전극에 접속되도록 전극물질을 상기 보호층 상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함한다.

<105> 상기 목적을 달성하기 위하여 본 발명에 따른 박막트랜지스터의 제조방법은 중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와, 상기 투명기판 상에 상기 게이트전극을 덮도록 절연막재료와 반도체재료를 적층하고 상기 반도체층을 덮도록 상기 반도체층 상에 금속을 전면 증착하고 상기 금속층과 반도체층을 일괄 패터닝하여 상기 게이트절연막의 일부를 노출시켜 활성층 및 소스/드레인전극을 형성하는 단계와, 상기 소스전극 및 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 전면 형성하여 보호층을 패터닝하여 상기 드레인전극의 일부를 노출시키기 위한 콘택홀을 형성하는 단계와, 상기 콘택홀을 통하여 상기 드레인 전극에 접속되도록 전극물질을 상기

보호층 상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함한다.

<106> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<107> 이하, 도 11 내지 도 16을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<108> 도 11는 본 발명의 제 1 실시예에 따른 TFT를 나타내는 평면도이다.

<109> 도 11를 참조하면, TFT는 투명기관(71)상에 목부형상의 게이트전극(73)에 적층된 게이트절연막(75), 활성층(77), 오믹접촉층(79)위에 콘택홀(88)을 통해 활성층(77)과 전기적으로 연결되게 형성되는 소스전극 및 드레인전극(81,83)을 구비한다.

<110> TFT는 데이터라인(76)과 게이트라인(74)의 교차부에 형성되며 액정셀을 구동하는 화소전극(89)과 접속된다. 데이터라인(76)은 TFT 반도체층의 소스영역과 접속되고 드레인전극(83)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(74)은 돌출된 게이트전극(73)을 가진다. 화소전극(89)은 게이트라인(74)과 데이터라인(76)에 의해 분할된 셀영역에 형성되고 콘택홀(88)에 의해 드레인전극(83)과 접속된다.

<111> 여기서, 게이트전극(73)에 목부를 형성하여 게이트전극(73)과 소스전극(81)과의 중첩부와 게이트전극(73)과 드레인전극(83)과의 중첩부를 줄여 기생캐패시턴스를 최소화하여 신호의 지연 및 왜곡을 방지할 수 있다.

<112> 도 12a내지 도12e는 도 7에 도시된 TFT의 제조방법을 나타내는 평면도 및 단면도이다.

<113> 도 12a를 참조하면, 투명기관(71) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄

늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기관(71)상에 게이트전극(73)을 형성한다. 이때, 게이트전극 상부의 화소영역쪽의 일부분을 러빙방향에 따라 경사지게 절단하여 제거한다.

<114> 도 12b를 참조하면, 투명기관(71)상에 게이트라인 및 게이트전극(73)을 덮도록 게이트절연막(75), 활성층(77) 및 오믹접촉층(79)을 화학기상증착방법(Cheical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.

<115> 상기에서 게이트절연막(75)은 질화실리콘 또는 산화실리콘으로 절연물질을 3000 ~ 5000Å 정도의 두께로 증착하여 형성하고, 활성층(77)을 불순물이 도핑되지 않은 비정질 실리콘 또는 다결정실리콘을 1500 ~ 2000Å 정도의 두께로 증착하여 형성한다. 또한, 오믹접촉층(79)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘을 200 ~ 500Å 정도의 두께로 증착하여 형성한다.

<116> 오믹접촉층(79) 및 활성층(77)을 게이트전극(73)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리소그래피방법으로 게이트절연막이 노출되도록 패터닝한다.

<117> 도 12c를 참조하면, 게이트절연막(75) 상에 오믹접촉층(79)을 덮도록 CVD방법 또는 스퍼터링방법으로 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 CVD방법 또는 스퍼터링 방법으로 1000 ~ 2000Å 정도의 두께로 증착하여 금속박막을 형성한다. 상기에서 오믹접촉층(79)과 금속박막은 오믹접촉을 이룬다.

<118> 그리고, 금속박막상에 포토 레지스트를 도포하고 노광 및 현상하여 게이트전극(73)의 양측과 대응하는 부분에 포토 레지스트 패턴(85)을 형성한다.

<119> 포토 레지스트 패턴(85)을 마스크로 사용하여 금속 박막을 오믹접촉층(79)이 노출 되도록 습식식각하여 소스 및 드레인전극(81)(83)을 형성한다. 그리고, 계속해서, 포토 레지스트 패턴(85)을 마스크로 사용하여 오믹접촉층(79)의 노출된 부분을 활성층(77)이 노출되도록 건식 식각한다. 이 때, 오믹접촉층(79)은 포토 레지스트 패턴(85)의 측면에 일치되게 식각되는 데, 식각되지 않고 잔류하는 오믹접촉층(79)사이의 게이트전극(73)과 대응하는 부분의 활성층(77)은 채널층(72)이 된다.

<120> 도 12d를 참조하면, 포토 레지스트 패턴(85)을 제거한다. 그리고, 게이트절연층(75)상에 소스 및 드레인전극(81)(83)을 덮도록 보호층(87)을 형성한다. 상기에서 보호층(87)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물로 형성된다. 보호층(87)을 포토리소그래피방법으로 패터닝하여 스토리지전극(74) 및 드레인전극(83)을 노출시키는 제 1 및 제 2콘택홀(88a,88b)을 형성한다.

<121> 도 12e를 참고하면, 보호층(87)상에 ITO, IZO, ITZO 등의 투명한 도전성물질을 콘택홀(88)을 통해 드레인전극(83)과 접촉되게 증착하고 포토리소그래피방법으로 패터닝하여 화소전극(89)을 형성한다.

<122> 도 13은 본 발명의 제 2실시 예에 따른 TFT를 나타내는 평면도이다.

<123> 도 13을 참조하면, 투명기관(91)에 일 방향으로 연장된 게이트라인(34)과 게이트라인(94)의 가장자리에 형성된 게이트패드(98)로 형성된다. 게이트라인(94)과 수직한 방향으로 데이터라인(96)이 연장되어 형성되며, 데이터라인(96)의 가장자리에는 데이터패드(100)가 형성된다. 또한 데이터라인(96)에서 소정길이를 연장된 소스전극(101)이 형

성되며, 소스전극(101)과 소정 간격으로 이격되게 드레인전극(103)이 형성된다. 게이트 라인(94)상에는 목부형의 게이트전극(93)이 형성되며, 게이트전극(93)과 소스 및 드레인 전극(101, 103)으로 TFT가 형성된다. 그리고, 드레인전극(103)의 측면과 접촉하는 화소 전극(109)이 형성된다.

- <124> 활성층을 구성한 후, 보호층을 적층하고 하프턴 마스크를 사용하여 패터닝함으로써, 보호층과 활성층을 동시 식각하는 공정 중, 상기 박막트랜지스터는 상부와 스토리지 캐패시터 상부의 일부에 보호층을 남겨두어 이들을 보호하는 구조가 가능하다.
- <125> 여기서, 게이트전극(93)은 게이트전극 상부의 일부분을 러빙방향에 따라 경사지게 절단 제거하여 목부형으로 형성하고 게이트전극(93)과 소스전극(101)과의 중첩부와, 게이트전극(93)과 드레인전극(103)과의 중첩부를 줄여 기생캐패시턴스를 최소화하여 신호의 지연 및 왜곡을 방지할 수 있다.
- <126> 도 14a 및 도 14d는 도 13에 도시된 박막트랜지스터의 제조방법을 나타내는 도면이다.
- <127> 도 14a를 참고하면, 제 1금속을 증착하여 제 1마스크로 패터닝하여, 게이트라인, 게이트전극과 게이트패드를 형성하는 단계로 제 1마스크공정이다.
- <128> 목부형의 게이트전극(93)을 게이트라인(94)에서 돌출 연장하여 구성하였으나, 게이트라인(94)의 일부에 게이트전극(93)이 정의된 형태로 구성할 수도 있다. 이 때, 게이트라인(94)의 일부는 스토리지 제 1전극(102a)의 기능을 한다. 게이트라인(94)내지 게이트전극(93)의 형성에 사용되는 제 1금속은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사

용할 수 있으며, 알루미늄계 금속인 알루미늄-네오뎴/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(94)의 제 1층으로 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(94)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.

<129> 도 14b를 참고하면, 데이터라인(96)과 제 2스토리지 전극(102b)을 형성하는 제 2마스크공정으로서, 게이트라인(94) 등이 형성된 기판(91)의 전면에 게이트 절연막(95)과 반도체층(99)과 제 2금속층을 연속으로 증착한 후, 제 2마스크로 패터닝하여, 일 끝단에 데이터패드(100)가 형성된 데이터라인(96)과, 데이터라인(96)에서 게이트전극상부로 돌출연장된 소스전극(101)과 이와는 소정간격으로 이격된 드레인전극(103)과 스토리지 제 1전극(102a)의 상부에 스토리지 제 2전극(102b)을 형성한다. 이후, 제 2금속층을 마스크로 하여 반도체층(99)의 일부분을 식각한다. 상기 반도체층(99)은 순수 반도체층과 불순물 반도체층(99)의 적층으로 구성된 형태이다.

<130> 따라서, 패터닝된 제 2금속층의 하부를 제외한 부분의 불순물 반도체층은 누설전류를 줄이는 목적으로 식각한다.

<131> 도 14c를 참고하면, 보호막(107)을 패터닝하기 위해 제 3마스크로 패터닝하는 공정이다. 제 3마스크는 반투과막을 사용하는 하프턴 마스크로서, 입사광을 차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.

<132> 보호막(107)은 데이터라인(96)의 폭보다 약간 작은폭(도면의 E)으로 패터닝되며,

데이터라인(96)과 소스 및 드레인전극(101,103)의 일부분에 증착한다.

<133> 또한, 스토리지 제 2전극(102b)의 일부분이 노출되게 스토리지 제 2전극(102b)의 상부 보호막(107)에는 스토리지 콘택홀(108a)과, 게이트패드(108)상부에는 게이트패드(98)의 일부가 노출되도록 게이트패드 콘택홀(108b)과, 데이터패드(100)의 일부가 노출되도록 데이터패드 콘택홀(108c)이 형성된다.

<134> 드레인전극(103)의 일측의 측면과 상부 일부(도면의 F)는 보호막(107)이 식각되어 노출되며, 이 때 드레인전극(103) 하부의 활성층(99)이 동시에 식각되어, 단면적으로 드레인전극(103)과 활성층(99)이 수직구조로 형성된다.

<135> 이와 같이, 보호층(107)과 활성층(99)이 동시에 식각되는 구조에서 데이터라인(96) 하부의 활성층(99)은 데이터라인(96)이 크롬(Cr)과 같은 내전식성을 가지는 물질로 형성되므로, 상기 데이터라인(96)하부의 활성층(99)의 패턴 사이즈는 데이터라인(96)의 크기와 동일한 크기로 식각된다. 이 때, 게이트패드 콘택홀(108b)을 형성하는 과정에서 게이트패드(94)의 제 2층인 몰리브덴(Mo)층이 식각되어, 게이트패드 콘택홀(108b)을 통해 몰리브덴층은 측면만이 노출된다.

<136> 식각된 게이트패드 콘택홀(108b)을 통해 투명전극을 알루미늄계 금속과 접촉한다면, 산화금속인 투명전극과 알루미늄계 금속과의 계면에 산화막이 형성되어 게이트패드(98)의 저항값이 매우 높아진다.

<137> 따라서, 투명전극인 게이트패드(98)단자와 게이트패드콘택홀(108b)을 통해 측면이 노출된 몰리브덴층과 접촉면적을 더욱 확보하기 위해, 게이트패드 콘택홀(108b)을 다수개 형성하면 투명전극과 게이트패드(98)와의 접촉저항이 감소하는 효과를 얻을 수 있다.

- <138> 제 3마스크공정에서는 보호막(107)이 패터닝된 부분을 제외한 전 영역(즉, 보호막 하부를 제외한 전 영역)에 위치한 반도체층(99)을 식각한다. 이 때, 게이트라인(94)과 게이트패드(98)의 제 1금속층은 게이트절연막(95)에 의해 보호한다.
- <139> 도 14d를 참고하면, 제 3마스크공정으로 보호층(107)이 패터닝된 기판의 전면에 IT0, IZO, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(109)을 형성한다. 이 때, 화소전극(109)은 드레인전극(103)의 노출부에 의해 측면 접촉되는 동시에 스토리지 제 2전극(102b)의 상부로 연장되어 스토리지 콘택홀(108a)을 통해 스토리지 제 2전극(102b)과 접촉한다.
- <140> 화소전극(109)을 형성하는 동시에, 게이트패드 콘택홀(108b)을 통해 게이트패드(98)와 측면 접촉하는 게이트패드단자를 형성하고, 데이터패드 콘택홀(108c)을 통해 데이터패드(100)와 접촉하는 데이터패드단자를 형성한다.
- <141> 도 15은 본 발명의 제 3실시예에 따른 박막트랜지스터를 나타내는 평면도이다.
- <142> 도 15를 참고하면, TFT의 어레이기판(111)은 일 방향으로 연장된 게이트라인과 게이트라인(114)의 가장자리에 형성된 게이트패드(118)로 형성된다. 게이트라인(114)과 수직한 방향으로 데이터라인(116)이 연장되어 형성되며, 데이터라인(116)의 가장자리에는 데이터패드(120)가 형성된다. 또한 데이터라인(116)에서 소정길이를 연장된 소스전극(121)이 형성되며, 소스전극(121)과 소정 간격으로 이격되게 드레인전극(123)이 형성된다. 게이트라인(114)상에는 목부형의 게이트전극(113)이 형성되며, 게이트전극(113)과 소스 및 드레인전극(121,123)으로 TFT가 형성된다. 그리고, 드레인전극(123)의 측면과 접촉하는 화소전극(129)이 형성된다.

- <143> 게이트전극(113)을 구성한 후, 게이트절연막(115)과 반도체층(119)을 적층하고 회절용 패턴 마스크를 사용하여 패터닝함으로써, 소스/드레인금속(117)과 활성층(119)을 동시 식각한다.
- <144> 여기서, 게이트전극은 게이트전극 상부의 일부분을 러빙방향에 따라 화소영역쪽을 경사지게 절단하여 제거한다.
- <145> 도 16a 및 도 16d 도 15에 도시된 박막트랜지스터의 제조방법을 나타내는 도면이다.
- <146> 도 16a를 참고하면, 제 1금속을 증착하고 제 1마스크로 패터닝하여, 게이트라인, 게이트전극과 게이트패드를 형성한다.
- <147> 게이트전극(113)을 게이트라인(114)에서 돌출 연장하여 구성하였으나, 게이트라인(114)의 일부에 게이트전극(113)이 정의된 형태로 구성할 수도 있다. 이 때, 게이트라인(114)의 일부는 스토리지 제 1전극(122a)의 기능을 한다. 게이트라인(114)내지 게이트전극(113)의 형성에 사용되는 제 1금속(122a)은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오뎅/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(114)의 제 1층으로 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(114)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.
- <148> 도 16b를 참고하면, 데이터라인과 제 2스토리지 전극을 형성하는 제 2마스크공정이

다. 게이트라인(114) 등이 형성된 기판(111)의 전면에 게이트 절연막(115), 반도체 물질인(a-Si)과 불순물이 함유된 비정질 실리콘(n+Si)이 증착된 반도체층(119)과, 소스/드레인금속(117)을 연속으로 증착한 후, 제 2마스크인 회절용 패턴으로 패터닝하여, 일 끝단에 데이터패드(120)가 형성된 데이터라인과, 데이터라인에서 게이트전극상부에 증착된 소스/드레인금속(117)과 스토리지 제 1전극(122a)의 상부에 스토리지 제 2전극(122b)을 형성한다. 이후, 제 1금속층(Cr)과 회절용 패턴을 마스크로 하여 활성층과 소스/드레인 금속(117)의 일부분을 식각한다.

<149> 이와 같이, 활성층과 소스/드레인금속(117)이 동시에 식각되는 과정에서 데이터라인(116)의 활성층(119)은 데이터라인(116)이 크롬(Cr)과 같은 내 건식성을 가지는 물질로 형성되므로, 데이터라인(116) 하부 활성층(119)의 패턴사이즈는 데이터라인(116)의 크기와 동일한 크기로 식각된다.

<150> 여기서, 회절 패턴용 마스크의 포토리소그래피공정은 포토레지스트를 도포한후 데이터라인(116)과 TFT채널영역은 회절 패턴용 마스크를 사용하여 노광 및 현상하여 포토레지스트패턴을 형성한다.

<151> 회절 패턴용 마스크를 사용하면 데이터라인(116)의 전영역이 노광되는 반면에 TFT 채널영역은 부분적으로 노광된다. 채널영역이 부분적으로 노광된 포토레지스트 패턴은 데이터라인(116)의 에칭과정동안 채널을 보호한다.

<152> TFT채널영역에 부분적으로 노광되는 포토레지스트는 RIE모드나 이방성 에칭모드로 포토레지스트의 에칭 백 과정(photo etch back)을 거쳐 제거되므로써 소스 및 드레인전극(121,123)이 패터닝된다.

- <153> 도 16c를 참고하면, 제 3마스크공정에서는 보호막(127)을 패터닝하여 콘택홀을 형성하는 공정이 추가되는데, 드레인전극(123)상부에 드레인콘택홀 및 스토리지 제 2전극(128b, 122b)상부에 스토리지 콘택홀(128a)과 데이터라인(116)의 끝단인 데이터패드(120)의 상부에 데이터패드콘택홀(128c)을 각각 형성한다.
- <154> 데이터패드 콘택홀(128c)은 추후공정에서 생성될 투명도전막과 데이터라인(116)과의 접촉을 위함이고, 드레인콘택홀(128b) 및 스토리지 콘택홀(128a)은 추후에 형성되는 화소전극(129)과의 접촉을 위함이다.
- <155> 도 16d를 참고하면, 제 3마스크공정으로 보호층(127)이 패터닝된 기판의 전면에 ITO, IZO, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(129)을 형성한다. 이 때, 화소전극(129)은 드레인전극(123)의 노출부에 의해 측면 접촉되는 동시에 스토리지 제 2전극(123b)의 상부로 연장되어 스토리지 콘택홀(68a)을 통해 스토리지 제 2전극(62b)과 접촉한다.
- <156> 화소전극(129)을 형성하는 동시에, 게이트패드 콘택홀을 통해 게이트패드와 측면 접촉하는 게이트패드단자를 형성하고, 데이터패드 콘택홀을 통해 데이터패드와 접촉하는 데이터패드단자를 형성한다.

【발명의 효과】

- <157> 상술한 바와 같이, 본 발명에 따른 박막트래지스터 및 그 제조방법은 게이트전극이 러빙방향을 따라 경사지게 절단, 제거되어 게이트전극이 제거된 영역만큼 화소전극이 커지게 되어 화소의 개구율이 높아지고 러빙시 액정배향을 균일하게 하여 화질을 향상

시킬 수 있다.

<158> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

중간부가 상부보다 좁도록 투명기판 상에 형성된 목부형 게이트전극과,
 상기 투명기판 상에 상기 게이트전극을 덮도록 형성된 게이트절연막과,
 상기 게이트전극과 중첩되도록 상기 게이트절연막 상에 형성되는 반도체층과,
 채널을 사이에 두고 상기 반도체층 상에 형성되는 소스전극 및 드레인전극과,
 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상
 기 게이트절연막 상에 전면 형성되는 보호층과,
 상기 드레인전극이 노출되도록 상기 보호층 상에 형성되는 콘택홀과,
 상기 콘택홀을 경유하여 상기 드레인전극과 접촉하도록 상기 보호층 상에 형성되는
 화소전극을 구비하는 것을 특징으로 하는 박막트랜지스터.

【청구항 2】

제 1항에 있어서,
 상기 목부형 게이트전극은 게이트전극의 상부를 러빙방향에 따라 경사지게 절단,
 제거되어 형성되는 것을 특징으로 하는 박막트랜지스터.

【청구항 3】

중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와,
 상기 투명기판 상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와,
 상기 게이트전극과 중첩되도록 상기 게이트절연막 상에 반도체층을 형성하는 단계
 와,

채널을 사이에 두고 상기 반도체층 상에 소스전극 및 드레인전극을 형성하는 단계와,

상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 보호층을 형성하는 단계와,

상기 드레인전극이 노출되도록 상기 보호층 상에 콘택홀을 형성하는 단계와,

상기 콘택홀을 경유하여 상기 드레인전극과 접촉하도록 상기 보호층 상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

【청구항 4】

중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와,

상기 투명기판 상에 상기 게이트전극을 덮도록 절연막재료와 반도체재료를 적층하고 상기 반도체층 상에 금속을 전면 증착하고 상기 금속을 패터닝하여 소스전극 및 드레인전극을 형성하는 단계와,

상기 소스전극 및 드레인전극을 덮도록 상기 반도체층 상에 보호층을 전면 형성하고 상기 반도체층과 보호층을 일괄 패터닝하여 상기 게이트절연막의 일부를 노출시킴과 동시에 드레인전극의 일부를 노출시키기 위한 콘택홀을 형성하는 단계와,

상기 콘택홀을 통하여 상기 드레인 전극에 접속되도록 전극물질을 상기 보호층 상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

【청구항 5】

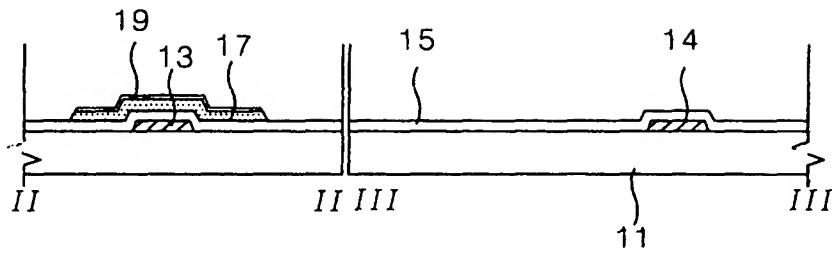
중간부가 상부보다 좁도록 투명기판 상에 목부형 게이트전극을 형성하는 단계와,

상기 투명기판 상에 상기 게이트전극을 덮도록 절연막재료와 반도체재료를 적층하고 상기 반도체층을 덮도록 상기 반도체층 상에 금속을 전면 증착하고 상기 금속층과 반도체층을 일괄 패터닝하여 상기 게이트절연막의 일부를 노출시켜 활성층 및 소스/드레인 전극을 형성하는 단계와,

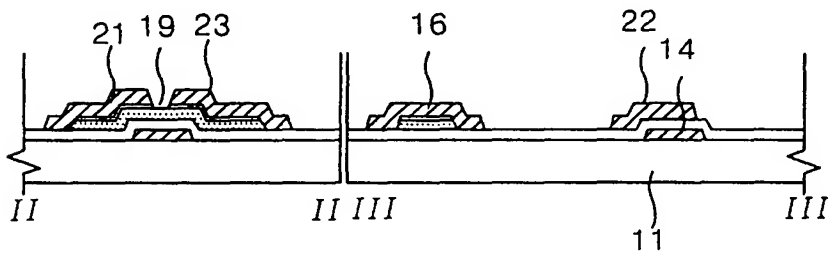
상기 소스전극 및 드레인전극을 덮도록 상기 게이트절연막 상에 보호층을 전면 형성하여 보호층을 패터닝하여 상기 드레인전극의 일부를 노출시키기 위한 콘택홀을 형성하는 단계와,

상기 콘택홀을 통하여 상기 드레인 전극에 접속되도록 전극물질을 상기 보호층 상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

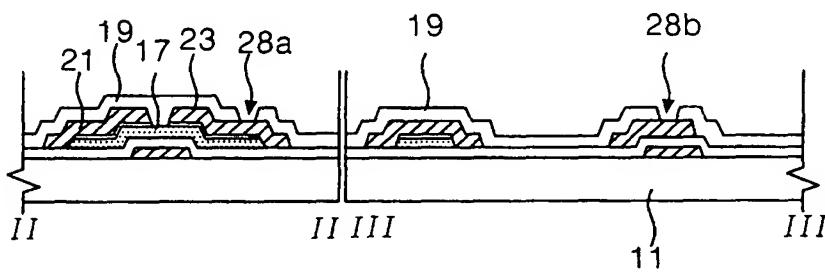
【도 2b】



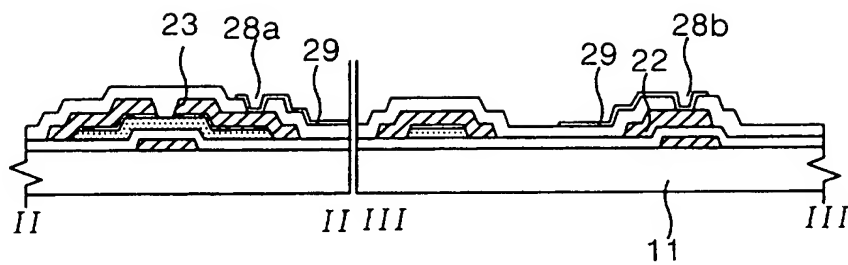
【도 2c】



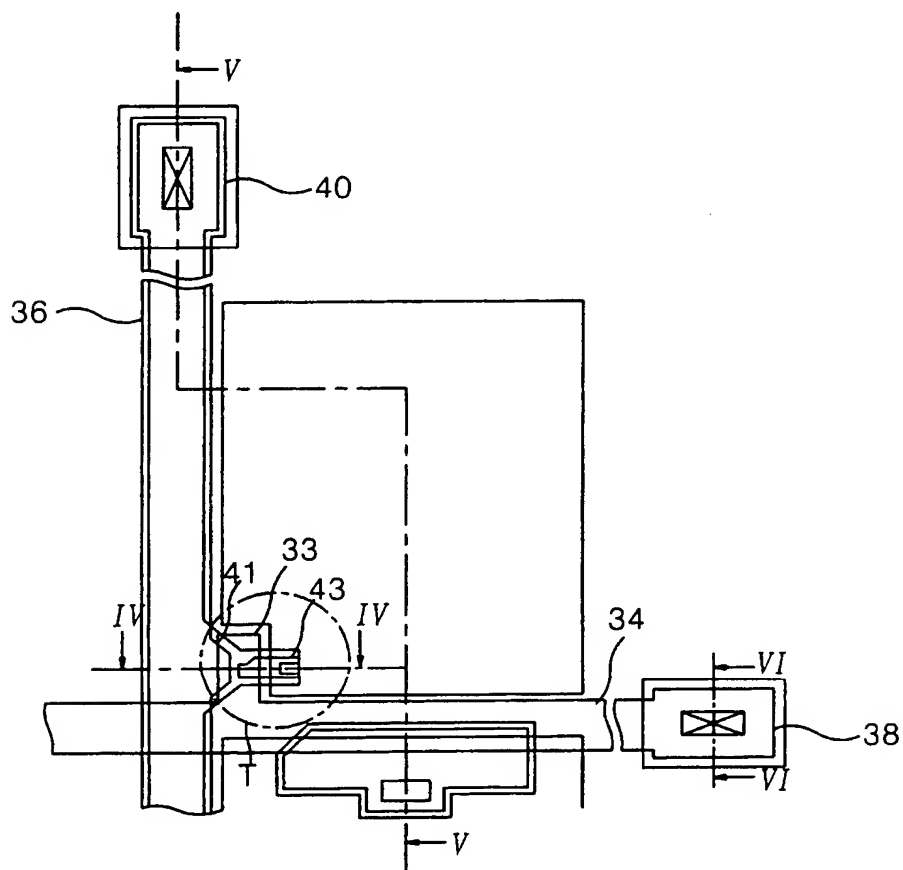
【도 2d】



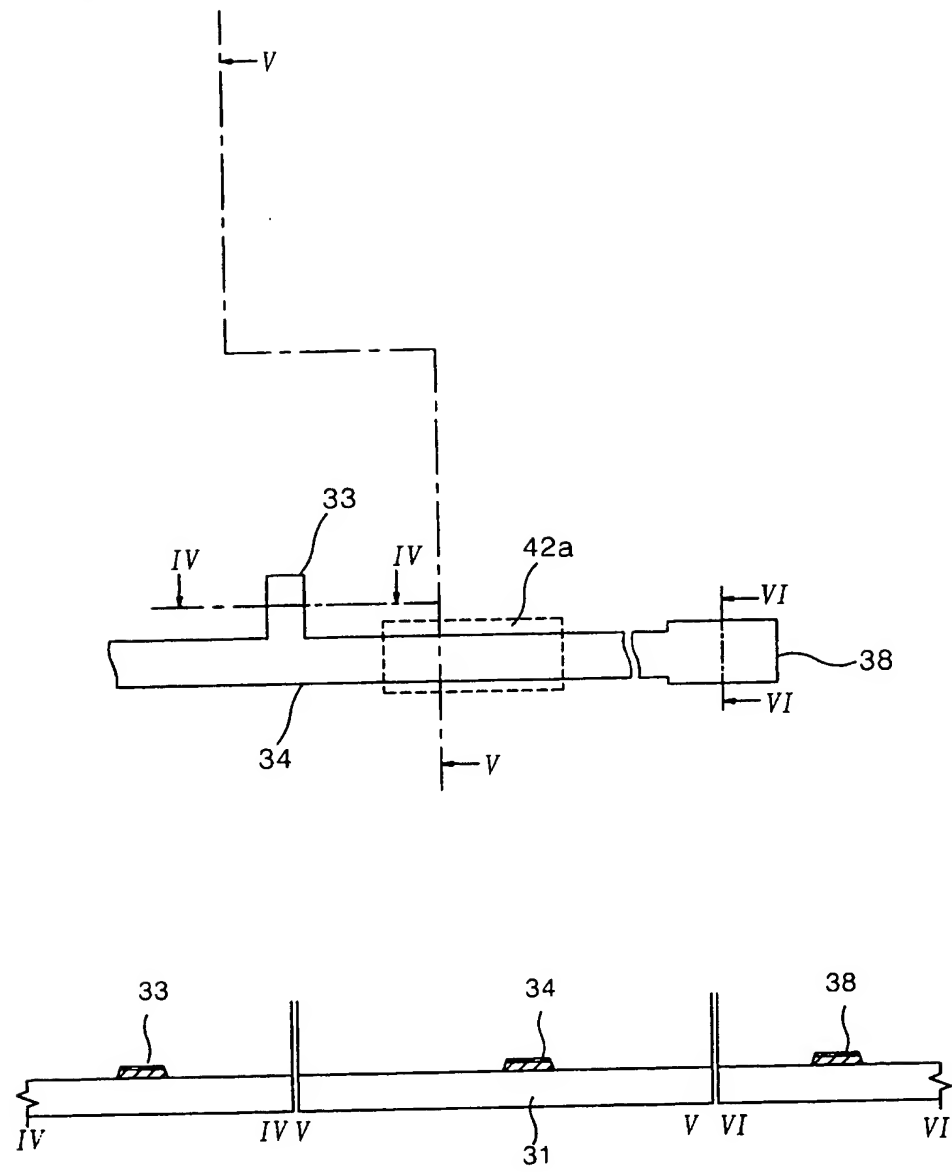
【図 2e】



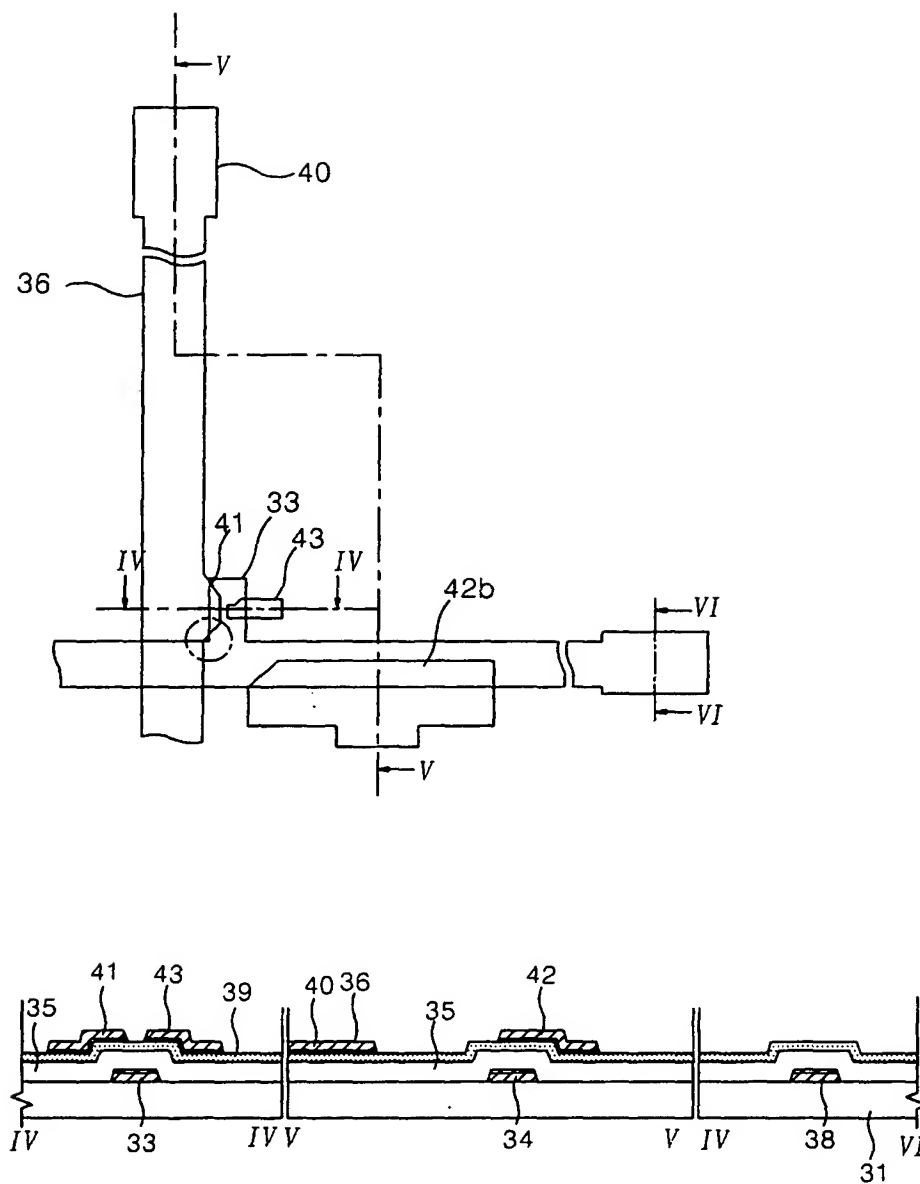
【図 3】



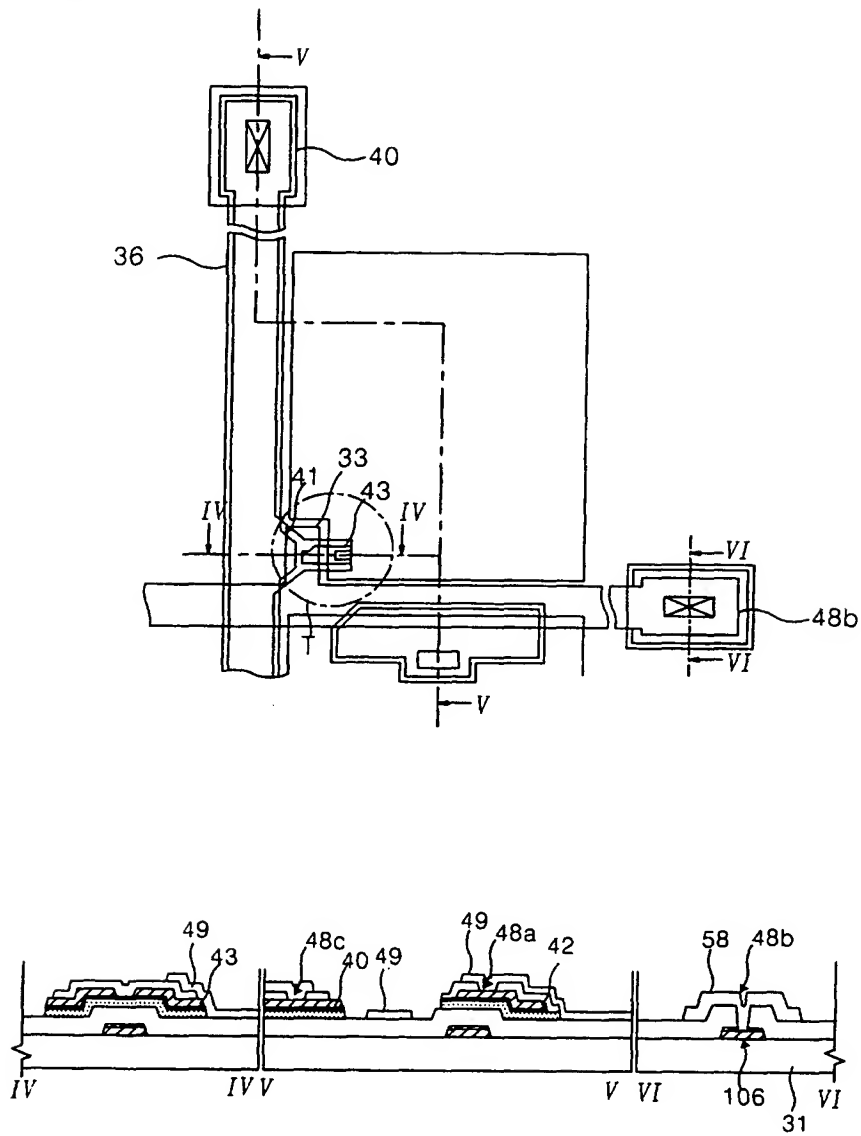
【도 4a】



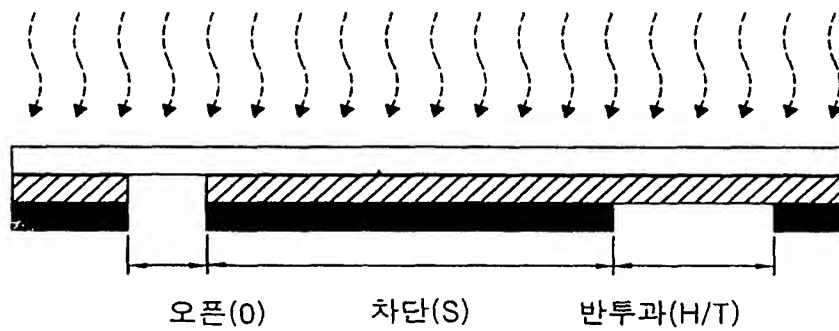
【도 4b】



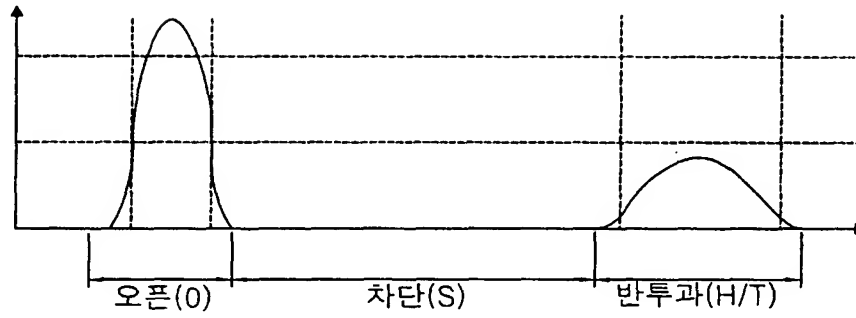
【도 4d】



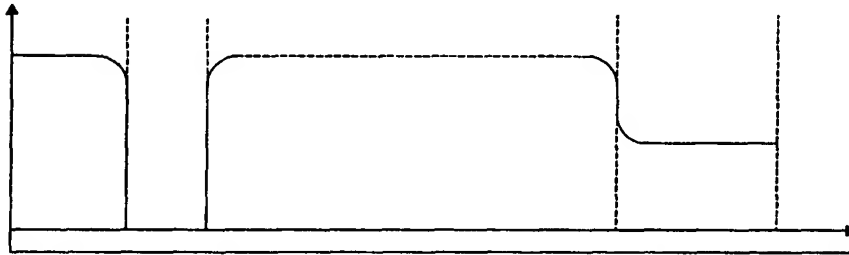
【도 5a】



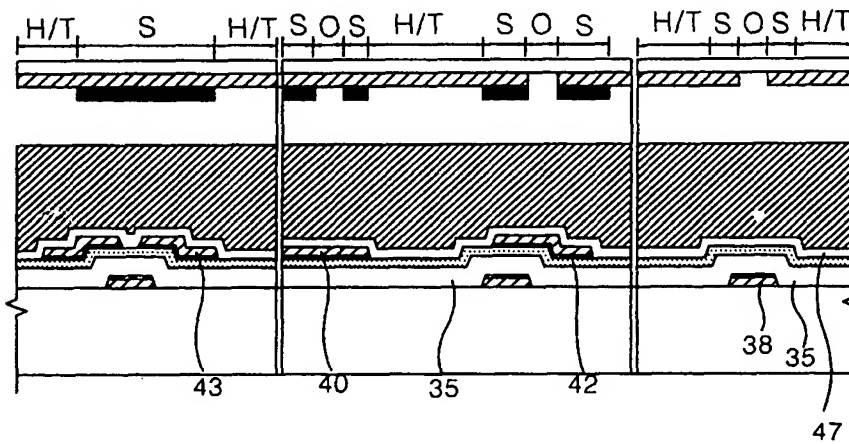
【도 5b】



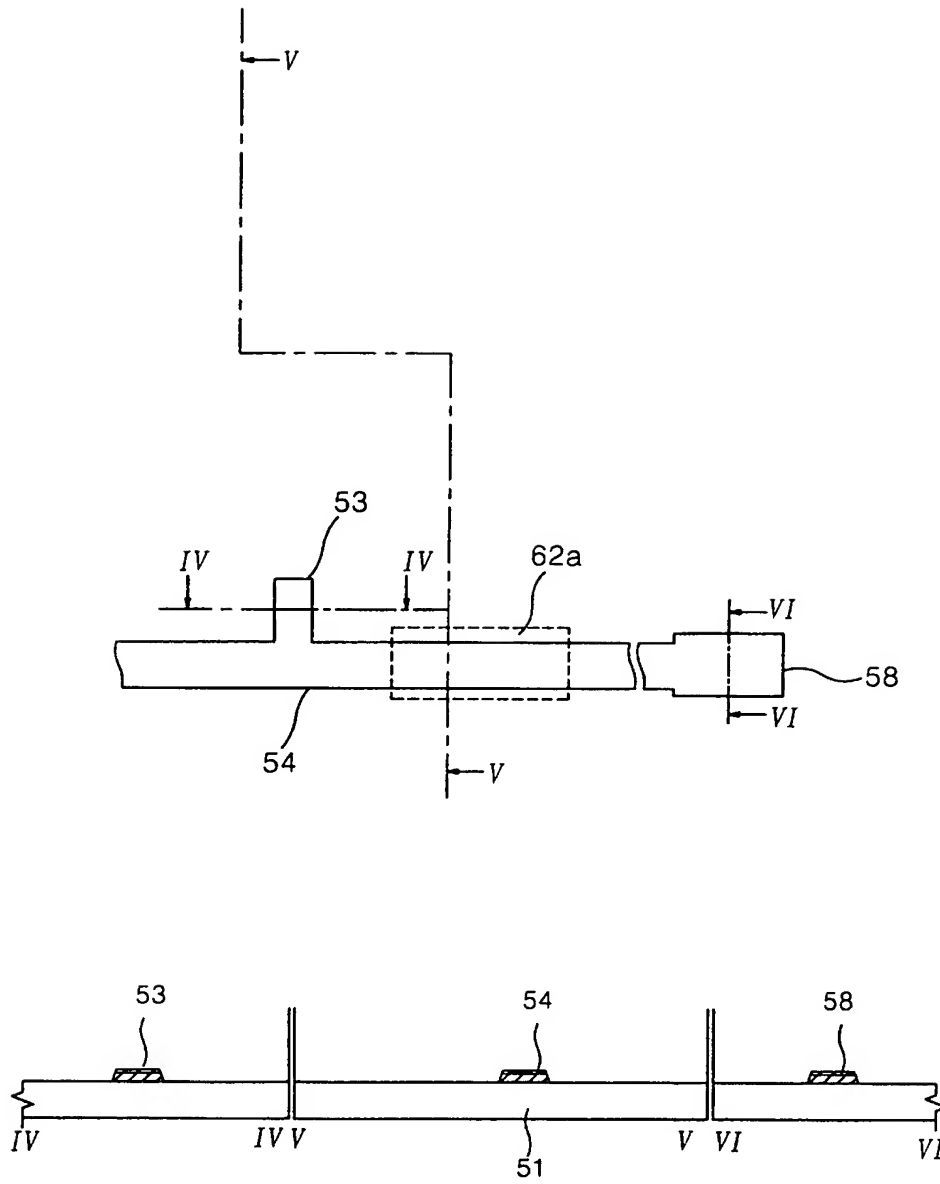
【도 5c】



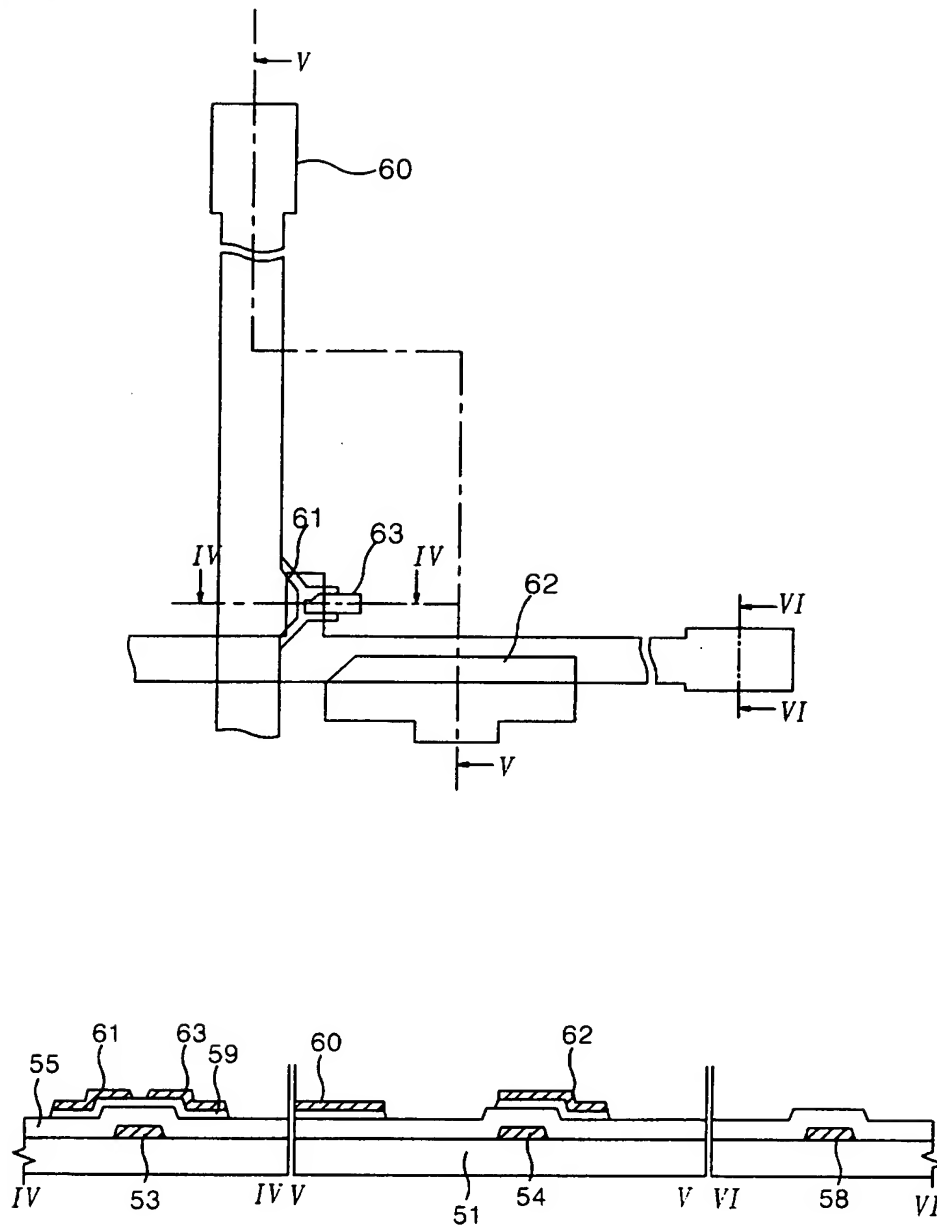
【도 6a】



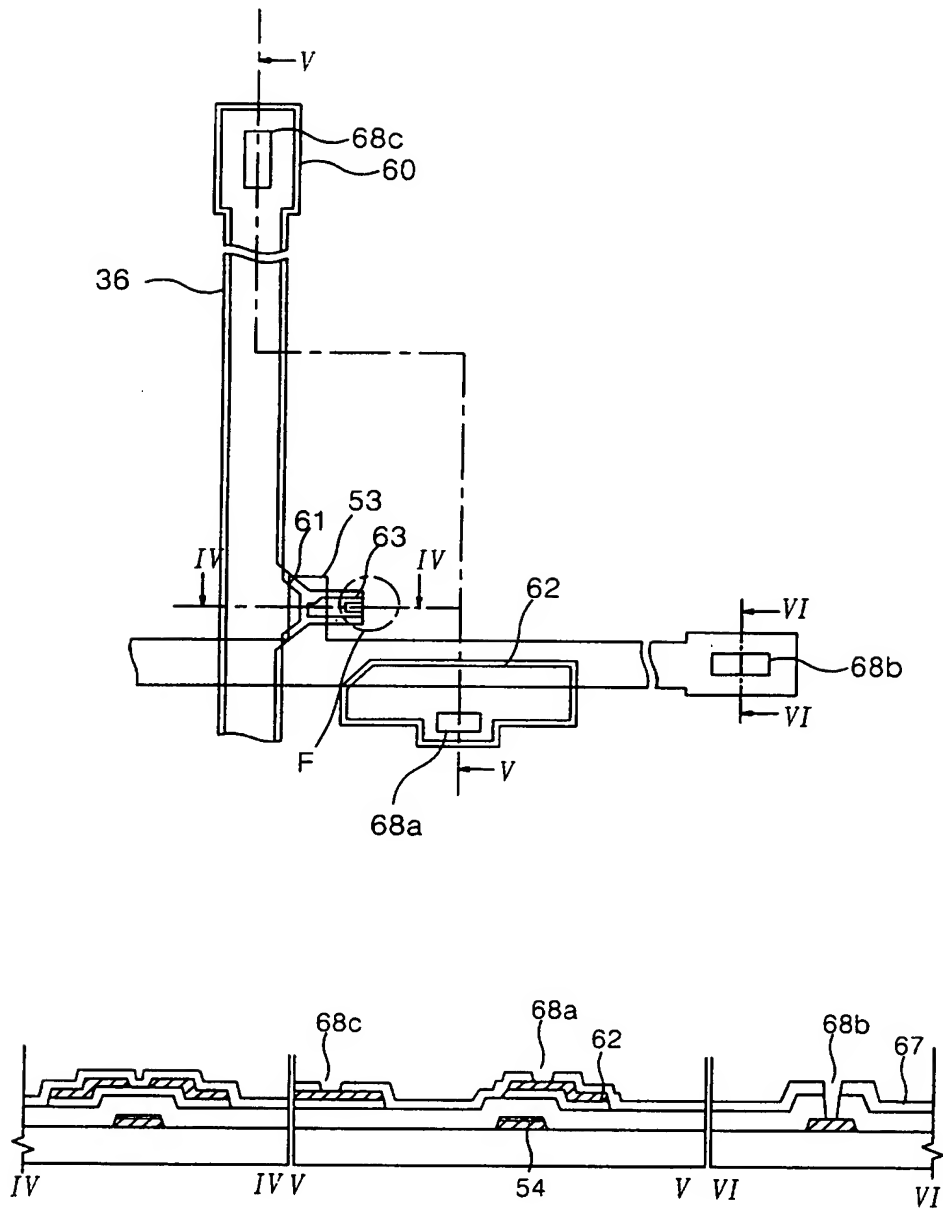
【도 8a】



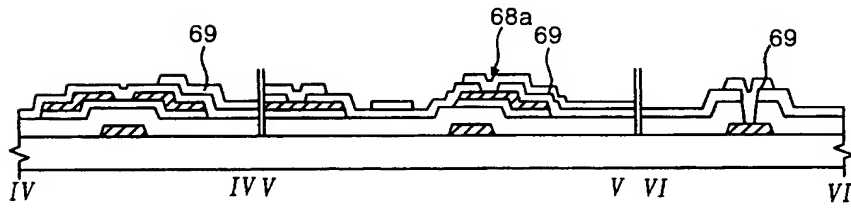
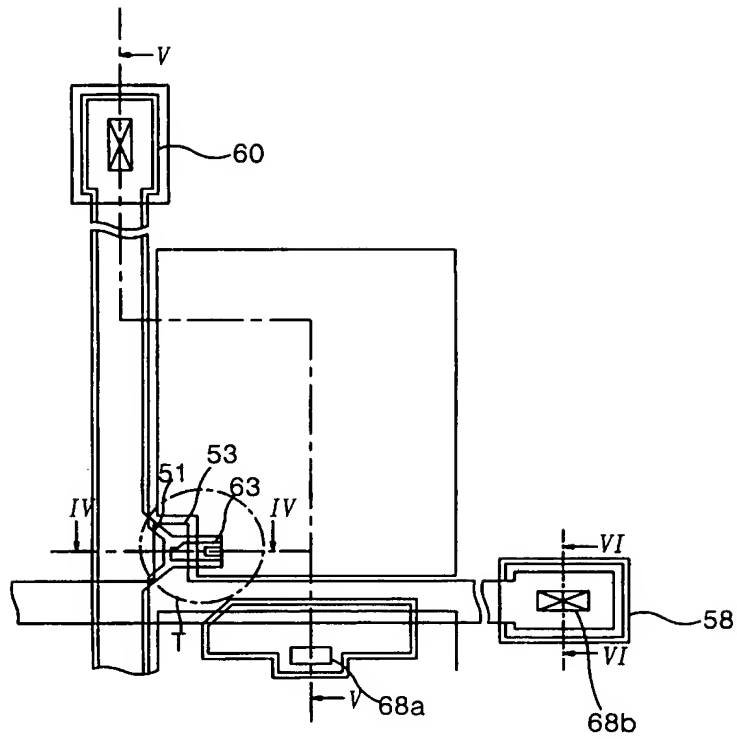
【도 8b】



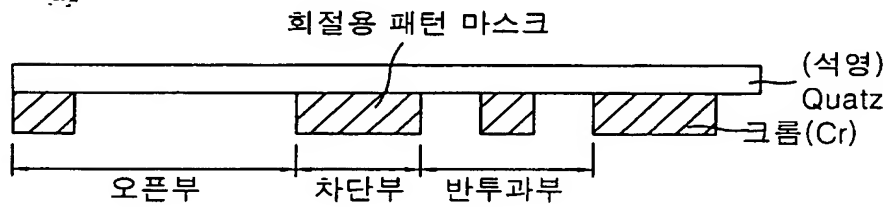
【도 8c】



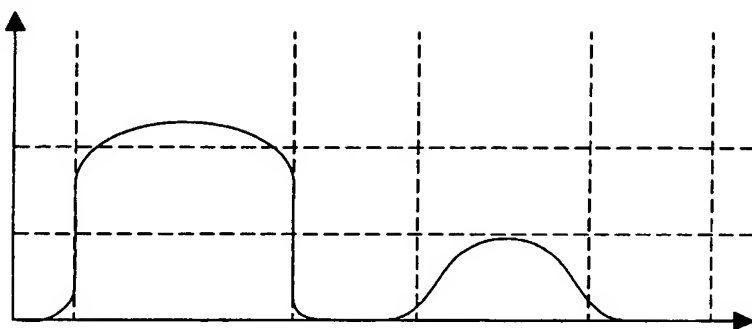
【도 8d】



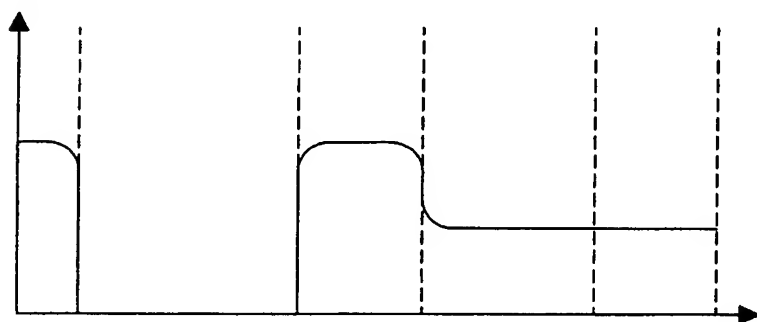
【도 9a】



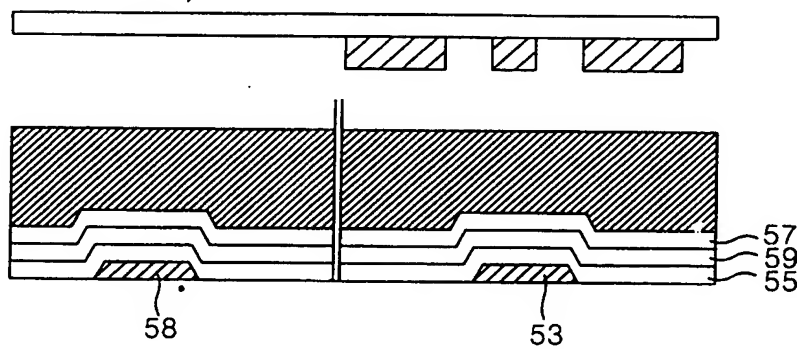
【도 9b】



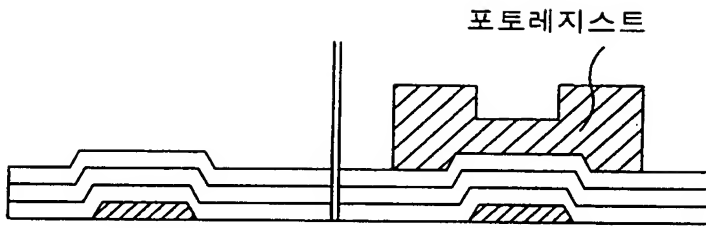
【도 9c】



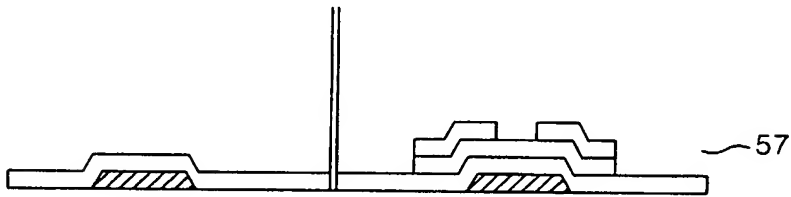
【도 10a】



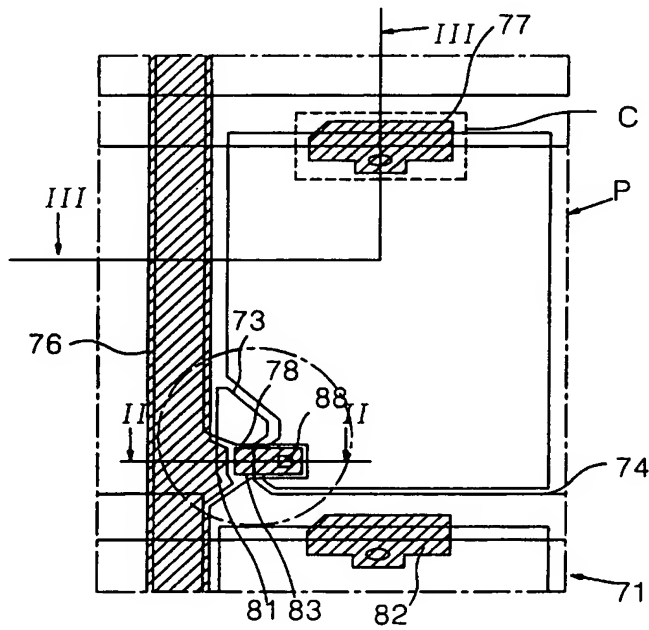
【도 10b】



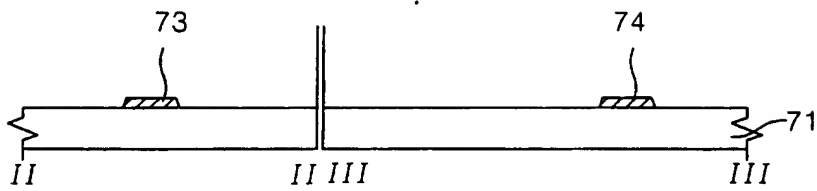
【도 10c】



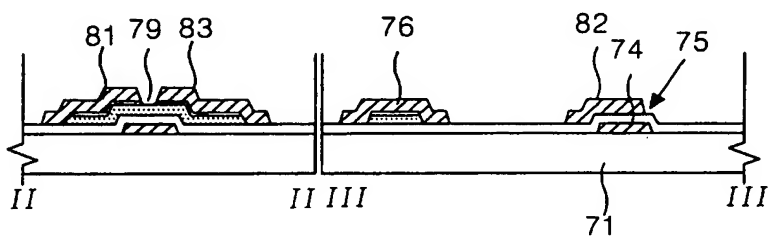
【도 11】



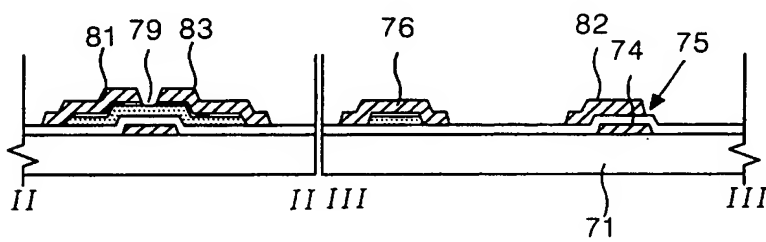
【도 12a】



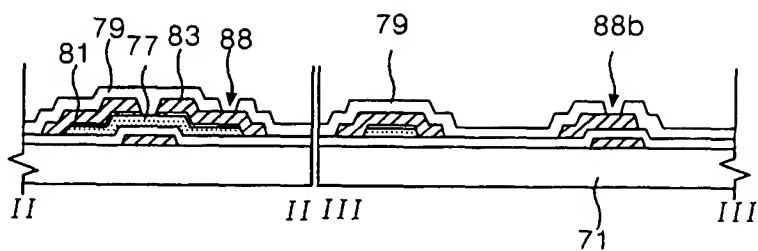
【도 12b】



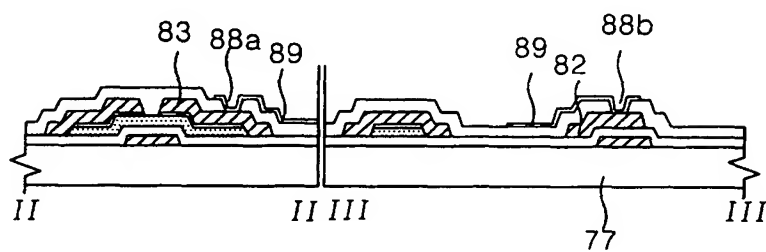
【도 12c】



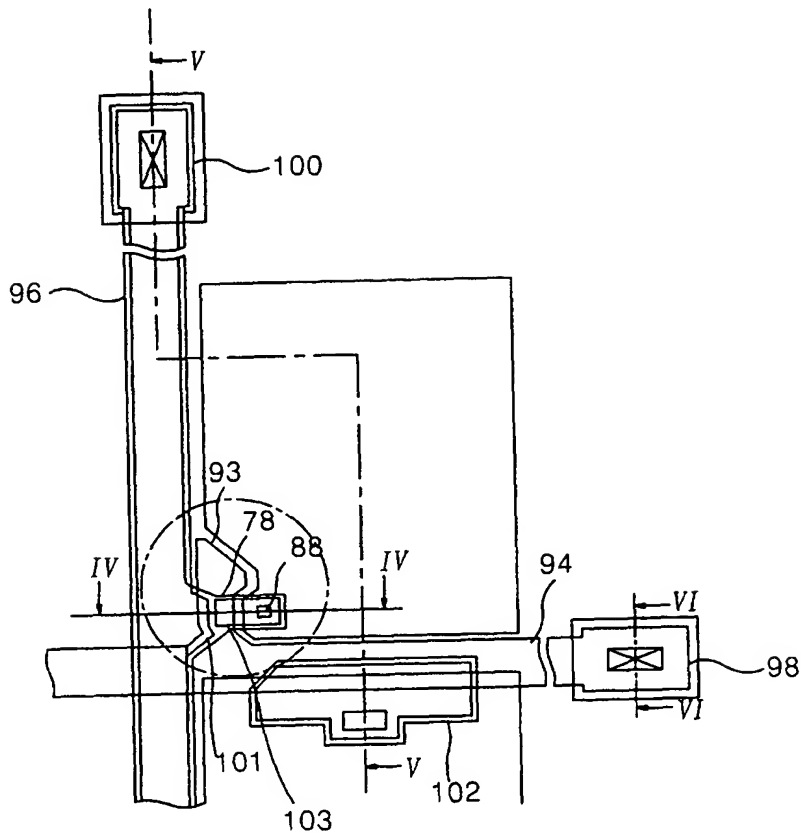
【図 12d】



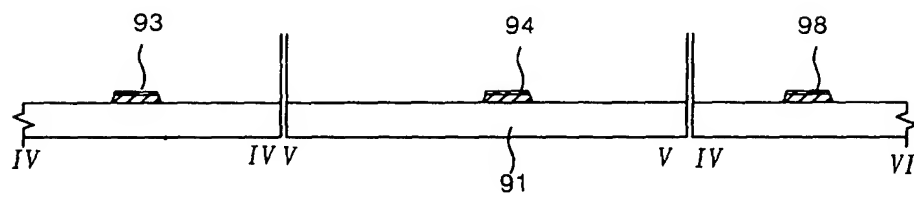
【図 12e】



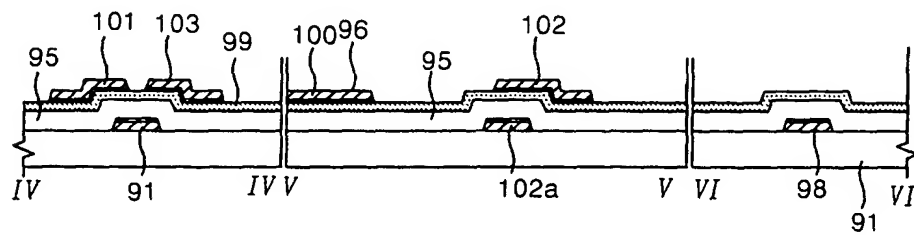
【도 13】



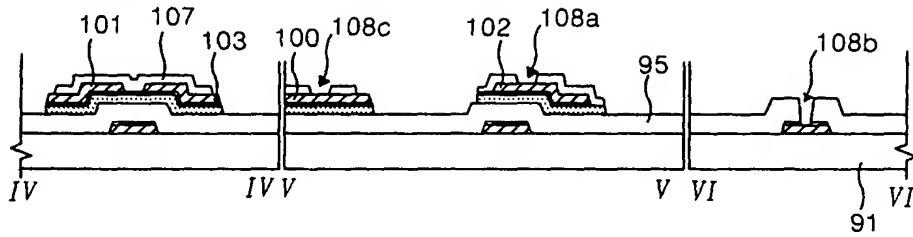
【도 14a】



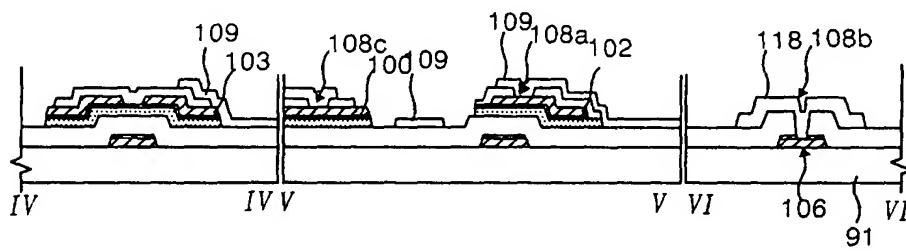
【도 14b】



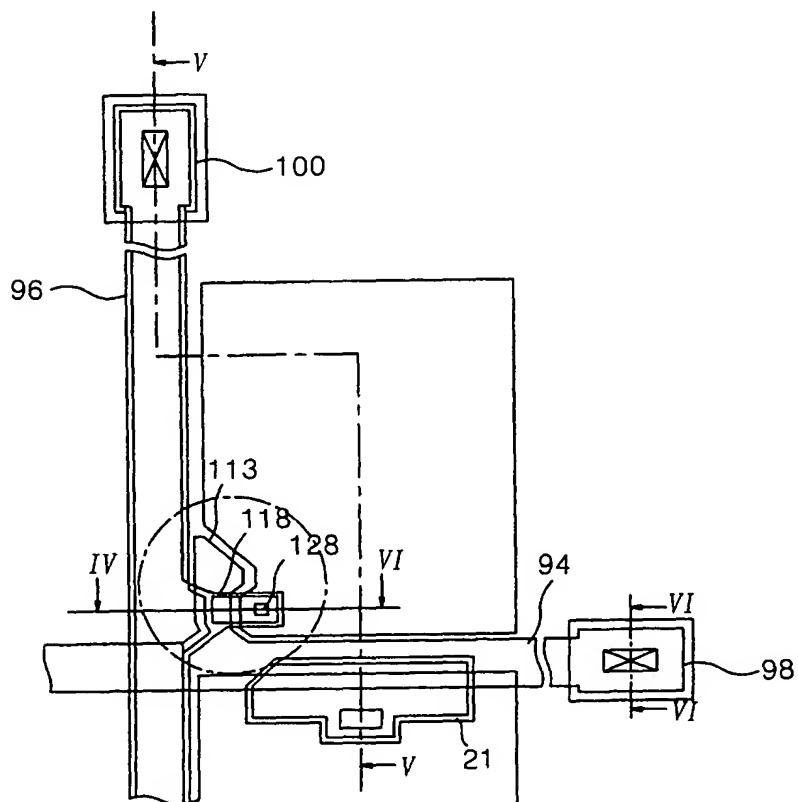
【図 14c】



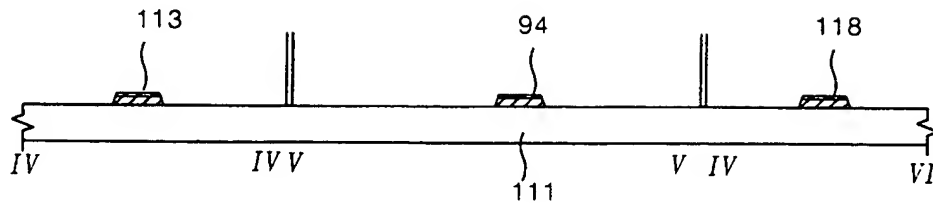
【図 14d】



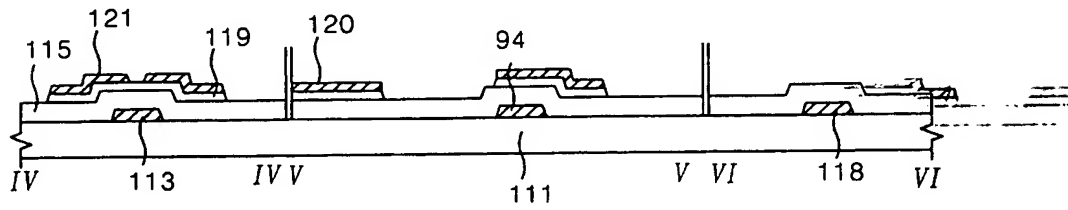
【図 15】



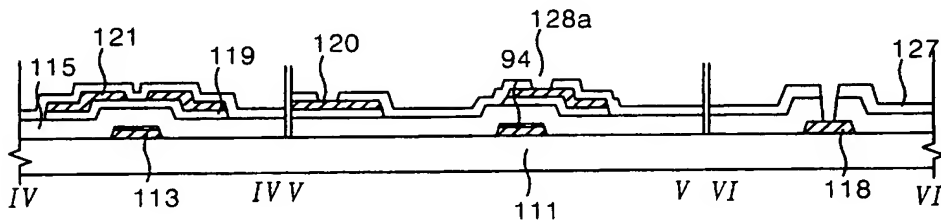
【도 16a】



【도 16b】



【도 16c】



【도 16d】

